

⑬日本国特許庁

⑭特許出願公開

公開特許公報

昭53-84632

①Int. Cl. ³	識別記号	②日本分類	庁内整理番号	③公開	昭和53年(1978)7月26日
G 06 F 13.00		97(7) C 0	6453-56		
G 06 F 3 00		97(7) C 03	6453-56	発明の数	1
G 11 C 9 06		97(7) C 02	6453-56	審査請求	未請求
		97(7) D 0	6711-56		

(全41頁)

⑤入力カッシー・システム

⑥特 願 昭52-154618

⑦出 願 昭52(1977)12月23日

優先権主張 ⑧1976年12月30日⑨アメリカ国
(US)⑩755871

⑪発 明 者 ジェイム・コール
アメリカ合衆国アリゾナ州8502
6グレンデイル・ウエスト・ウ
オルタン4723

同 コーレンス・ダブリュー・シエ

ルバーク

アメリカ合衆国アリゾナ州8502

1フエニックス・ウエスト・キ

ヤミノ・エイスキア4117

⑫出 願 人 ハネイウエル・インフオメーシ
ョン・システム・インコーポ
レーテッド

アメリカ合衆国マサチューセツ

ツ州02154ウオルサム・スミス

・ストリート200

⑬代 理 人 弁理士 湯浅泰三 外1名

要 約

1. [発明の名称]

入力カッシー・システム

2. [発明の要約]

(1) 複数の入出力装置を含む入出力操作の制
御のための入力システムにおいて、

複数のポートを有するシステム・インターフ
ース装置と、

前記複数のポートの個々に接続された複数の
モジュールとを設け、前記モジュールは少くとも
1個のメモリー・モジュールと複数の指令モジ
ュールを含み、前記指令モジュールの各々は、

メモリー指令を生成する指令生成装置を有し、
前記メモリー指令の第1のタイプの各々は前記メ
モリー・モジュールから前記情報をアクセスする
ための第1と第2のカテゴリーを表示するよう形
成された、少くとも1つの予め定められたビット
を有し、

前記1個のメモリー・モジュールは、

前記ポートの1つに接続されたカッシー

・ストアを有し、前記カッシー・ストアは前記メ
モリー指令に反応して前記メモリー・モジュール
から前記取出された情報のブロックを記憶するた
めのものであり、

前記インターフェース・ポートの前記1個に作
用的に接続され、情報情報を記憶するための補助
記憶装置と、

前記カッシー・ストアと前記補助記憶装置に接
続され、前記カッシー・ストアと補助記憶装置の
動作を制御するための制御回路装置とを有し、前
記制御回路等は、

前記複数の指令モジュールから前記メモリー
指令を受取るために前記1個のポートに接続され
た入力レジスタ装置と、

前記指令を記憶するために前記入力レジスタ装
置に接続された指令履歴回路を有し、前記履歴回
路は、前記第1のタイプのメモリー指令の各々に
応答して、前記カッシー・ストアに記憶される前
記情報の存在しない場合に前記各々の第1のタイ
プのメモリー指令により指定される情報からの説

たしのため前記補助記憶装置を専用回路とするための制御信号を生成し、かつ前記の予め定められたビットが前記第1のカテゴリを表示するよう符号化される場合にのみ、前記カッシュ・ストアに前記補助記憶装置から読出される前記情報とその不変に書込させる制御信号を生成する事を特徴とする入出力システム。

2. 前記第1のタイプのメモリー指令の各々が指令成分、カテゴリ成分およびアドレス成分を含むよう符号化され、前記指令成分は読出し操作を指定するよう符号化され、前記アドレス成分は前記情報のアドレスを指定するよう符号化され、前記カテゴリ成分は前記カッシュ・ストアが前記読出し操作の間バイパスされるべき時点を表示するよう符号化され、かつ前記の予め定められたビットを含む前記請求の範囲1項記載のシステム。

3. 前記の予め定められたビットは2進数として符号化され、前記制御回路装置は、前記カッシュ・ストアに前記情報をその内容に書込させるための前記制御信号を生成するよう条件付けられる

前記請求の範囲2項記載のシステム。

4. 前記の予め定められたビットが2進数1として符号化され、前記制御回路装置は、前記カッシュ・ストアをしてその内容に前記情報を書込させてこれにより前記カッシュ・ストアをバイパスするための前記制御信号の生成を禁止せられる前記請求の範囲2項記載のシステム。

5. 前記指令モジュールは少くとも2つの入出力回路を含み、前記制御装置の指令生成装置は、

前記メモリー指令を生成するための必要な制御信号を生成するためのマイクロ命令ワードのシーケンスを記憶するマイクロプログラム化された制御装置と、

前記メモリー指令の各々の前記アドレス成分として含まれるアドレス情報を生成するためのアドレス制御装置とを含む前記請求の範囲2項記載のシステム。

6. 前記補助記憶装置は、複数のテーブル、即ち前記補助記憶装置における情報を照会するた

めに使用されるデータ制御ワードのリストを記憶するための第1のテーブルと、前記データ制御ワードを照会するためのリスト・ポインター・ワードを記憶するための第2のテーブルとを記憶するための複数の記憶場所を含み、前記各データ制御ワードと前記リスト・ポインター・ワードの予め定められたビット位置は前記カッシュ・ストアがバイパスされるべき時点を指示するよう符号化され、かつ前記記憶装置の指令モジュールは更に前記記憶装置の入出力装置に結合される複数のアドレス・ポートを有するマルチプレクサモジュールを含み、前記指令生成装置は、

前記入出力装置の処理に基くアドレスおよび制御信号を記憶するよう構成された複数のレジスタと、

前記入出力装置から指令を受取るための構成された前記記憶装置のレジスタの第1のもの、

前記記憶装置のレジスタに結合されており、前記指令に基いて前記マルチプレクサ・モジュールの操作を制御するための制御装置と、

前記記憶装置のレジスタに結合された出力レジスタ群とを含み、前記制御装置は、前記記憶装置からの第1の指令に基いて、前記第2のテーブルから読出される前記リスト・ポインター・ワードの1つに特定する信号を前記記憶装置のレジスタの第2のものに記憶するための信号を生成するよう作用し、前記制御装置は、前記記憶装置からの第2の指令に基いて、前記第1のタイプのメモリー指令の第1のもの信号を生成し、前記信号は、前記データ制御ワードの第1のものを照会する際使用するべきリスト・ポインター・ワードの位置を前記第1のテーブルから前記出力レジスタにコードするように前記記憶装置のレジスタの前記第2のものを条件付ける前記請求の範囲5項記載のシステム。

7. 前記リスト・ポインター・ワードの内容が前記第1のタイプのメモリー指令の前記第1のものの前記カテゴリ成分とアドレス成分を含み、前記カテゴリ成分の予め定められたビットは、前記補助記憶装置からカッシュ・ストアに読出さ

れた前記データ・アドレス・ワードに対応する情報を前記メモリー・モジュールの前記制御回路が書き込む事を禁止するその2進数1として符号化される符号化された前記データの記憶装置のシステム。

8. 前記データ・アドレス・ワードの各々がデータ・メモリー・ワードおよびデータ・アドレス・ワードを含み、前記第2の指令に等して生成された前記情報は、第1のデータ・アドレス・ワードの前記データ・メモリー・ワードおよびデータ・アドレス・ワードを記憶するための、それぞれ前記記憶装置のシステムのもので、第1のものを第1の前記記憶装置は前記第1のタイプのメモリー・指令の第2のものの情報を生成するよう作用し、前記情報は、前記入出力操作の制御回路が記憶装置に記憶された情報を照合するために前記データ・アドレス内容を用いて前記出力レジスタをロードするよう前記第4のレジスタを動作させる符号化された前記データの記憶装置のシステム。

9. 前記データ・アドレス・ワードの内容は前記第1のタイプのメモリー・指令の前記第2のものの

情報。発明者：J・カル(calle), V・M・グリスウォルド(griswold)。

3. 1975年3月26日出発米国特許出願第562,353号「バスファインダ・マイクロプログラム制御システム」。発明者：G・W・パターソン, M・G・ポータ。

4. 1976年11月18日出発米国特許出願第742,914号「メモリー・アクセス・システム」。発明者：E・F・ウェラー三世, M・G・ポータ。

本発明は、データ処理システムに関し、特にキャッシュ・メモリー・ストアを含むシステムに関する。

公知技術にあるものにおいては、中央処理装置(CPU)は、動作モードを記憶するためのレジスタを含んでいる。通常、このレジスタはキャッシュ・ストアをONとOFFの状態に切換えてストアをバイパスするよう作動可能な特殊な命令によりロードされる。

このようなシステムにおいては、従つて、最初

の特開 53-84632(3)の記憶カテゴリー命令とアドレス命令を含み、記憶カテゴリー命令の前記予定のうちの1つは、前記メモリー・モジュールの前記制御回路を書き込むとして前記キャッシュ・ストア内に前記情報と対応する情報を書き込ませるための2進数として符号化されて、前記入出力制御回路による前記情報に対する既知なアクセスを有する符号化された前記データの記憶装置のシステム。

3. (発明の単独な説明)

関連出典

1. 1976年11月15日出発米国特許出願第741,632号「ロックされたプロセッサを用いる入出力処理システム」。発明者：J・W・ワズ(woods), M・G・ポータ(porter), D・V・ミルズ(mills), E・F・ウェラー(weller)三世, G・W・パターソン(patterson), E・M・モナハン(monahan)。(本文に記載の明受人に帰属。以下同)

2. 1975年6月30日出発米国特許出願第591,563号「マルチプレクサ制御回路シ

ステムのモードにCPUを置き、この状態がキャッシュ・メモリー・ストアのバイパスを許可するようになる必要がある。付加的オーバーヘッド処理を含む点が明らかに不利な点である。更に、この構成では、キャッシュ・ストアをアクセスする1つ以上の処理回路を持ち得るシステム(例えば、多量記憶システム)に対しては不適当である。

別の公知技術のシステムは、セグメント・ディスクリプタ・ワードの使用により、セグメントが記憶される(アクセス属性)方法を可能にするセグメント・メモリー・システムを採用している。このセグメント・ディスクリプタ・ワードに含まれているのは、アドレス番号をしてキャッシュ・アドレス比較がうまく行われぬようにさせるビットである。これは、あるセグメントをしてワードをキャッシュ・ストアに記憶させ、かつキャッシュ・ストアでのセグメントによりバイパスされるようにする。

このような技術においては、入出力操作と関連するセグメントがCPUのキャッシュ・ストアに入

る事を阻止される（カッシーエなしの操作）事が過
写必要で、この時の吐出されない主メモリに於
けるワードの更新を生じ得る。

この構成は多重記憶システムに対してより好適
であるが、毎にセグメントが共有されるべきカッ
シーエ・ストアに対してどのセグメントがアクセス
を許可するかを指定する構成とされるオーバーヘ
ッドの箇所を必然として有するものである。又、
この構成は、主メモリ・アクセスに別の制御をも
たらし、メモリ管理を複雑にする。

従つて、本発明の主旨は、カッシーエ・ストア
のバイパスのための改良構成の提供にある。

本発明の更に別の目的は、どの区域も多数の指
令モジュールのいずれによつても選択的にアクセ
スできるカッシーエ・ストアの提供にある。

前述の目的およびこれ以外の目的は本発明の望
ましい実施形態において達成されるが、その構成
は多数の指令モジュールおよび1つの局脱メモリ
・モジュールを含む入出力システムからなる。
この局脱メモリ・モジュールは、補助記憶装置

較に、カッシーエ・ストアは、局脱メモリ指
令の予め定められたビットを予め定められた状態にセ
ットさせるよう作用するプロセッサにより使用され
る。これは、プロセッサにより補助記憶装置から要
求された情報を含む情報ブロックをカッシーエ・ス
トアに記憶するように前記制御装置を条件付ける。
入出力データ転送の間、マルチプレクサのモジュ
ールは、予め定められた状態に予め定められたビ
ットをセットさせる事のないメモリ指令を与え
る。従つて、この制御装置は、カッシーエ・ストア
に補助記憶装置から要求される入出力情報を記憶
させる事なくどの情報を転送する。この状態は、
マルチプレクサ・モジュールが入出力情報でプロ
セッサによりカッシーエ・ストアに既に記憶された情
報を書き込みしないようにさせる。然し、要求
された入出力情報が既にカッシーエ・ストアに存在
する時には、この制御装置は更に迅速なメモリ
・タイトルを主としてカッシーエ・ストアから、要求さ
れた入出力情報を転送する。このように、プロセ
ッサは、同じ局脱メモリ・モジュールに対するア

特開 53-84632(4)

およびカッシーエ・ストアを含んでいる。このカッ
シーエ・ストアは補助記憶装置から前に取出された
情報ブロックに対し迅速なアクセスを行う。望ま
しい実施形態の本システムは、更に、各々が異なる
1つのモジュールに帰属された複数のポート
を含むシステム・インターフェース装置を含んで
いる。

局脱メモリ・モジュールに与えられる各メモ
リ・読み出し指令は、補助記憶装置から要求された
情報が又、カッシーエ・ストアに書き込まれる時点
を表示するよう符号化される予め定められたビット
を含んでいる。局脱メモリ・モジュールは、更
に、予め定められた指令ビットの状態に従つて、
補助記憶装置から要求されている情報をしてカッ
シーエ・ストアを選択的にバイパスさせる各読み出
しメモリ指令に回答して作用する制御装置を含ん
でいる。

望ましい実施形態においては、この指令モジュ
ールは少なくとも1個の入出力プロセッサおよび1個
のマルチプレクサ・モジュールを含んでいる。一

クセスが他の指令モジュール（例えば、マルチプ
レクサ・モジュール）と共有される場合でさえ、
カッシーエ・ストアの適正な制御を維持するのであ
る。その結果、入出力操作の更に迅速な制御が得
られる。

然し、プロセッサが、補助記憶装置から要求され
る情報がカッシーエ・ストアに記憶される事を欲し
ない場合もある。又同様に、システムが、マルチ
プレクサ・モジュールにより補助記憶装置から要
求されている入出力情報をカッシーエ・ストアに書
込まれる事を欲する場合もある。

このプロセッサにおいては、プロセッサがその作業
システムに記憶されるべきアドレス・リンクアド
レスを導くための読み出し指令を発する場合には
前述の状態が望ましい。補助記憶装置から要求
される情報が再びメモリから読み出される事は意
図されないため、プロセッサは、予め定められたビ
ットが予め定められた状態以外の状態にあるメモ
リ指令を与えるよう作用する。

マルチプレクサ・モジュールに関しては、シス

システムは、通常データ転送動作の専行マルチプレクサ・モジュールが両合する補助記憶装置におけるテーブルを構成している。望ましい実施形態においては、このテーブルは、データ転送ワード(DCW)テーブルと命令データ転送ワード(IDCW)テーブルを含んでいる。IDCWテーブルは、DCWテーブルを指示するリスト・ポインタ・ワード(LPW)を含む。DCWテーブルは、主記憶メモリにおける補助記憶装置に対するポインタであるDCWのリストを記憶する。LPWおよびDCWの数は、通常マルチプレクサ・モジュールにより記憶され、補助記憶装置を両合するメモリ・指令を正しくするために使用される。このシステムは、LPWおよびDCWにおける予め定められたビットを補助記憶装置からマルチプレクサ・モジュールにより読出されている情報がシステム・ストアに記憶されるべき状態に対する予め定められた状態にセットする。

各メモリ・指令における予め定められたビットの状態を変更する能力を有する事により、入出力

システムの間なる命令モジュールは、システム・ストアに記憶される情報を不正に書き換えたり又は破壊する事なく情報に対する迅速なアクセスが可能となり、これによりある動作が更に迅速に実行可能となる。

理解および動作方法の両方の観点から本発明を有するものと考えられる本発明の最新な態様については、更に別の目的および長所と共に、添付図面に示して以下の記述を参照すれば更によく理解される。然し、本発明は例示のためのものであるもので、本発明の規定する事象でないものは理解されるべきである。

一般論

第1図から判るように、本発明の構成を包含するシステムは、少くとも1個の入出力プロセッサ(IOP)200と、システム・インターフェース装置(SIU)100と、高速マルチプレクサ(HSMX)300と、低速マルチプレクサ(LSMX)400と、上位プロセッサ700と、1つの局所メモリ・モジュール500と主メモリ・モジュール

800に規定する多数のメモリ・モジュールとを有する。これ等のモジュールの各々は、異なるタイプのインターフェース600乃至603の各々の複数の回路を介してシステム・インターフェース装置(SIU)100の多数のポートの1つに接続している。更に、入出力プロセッサ(IOP)200と、上位プロセッサ700と、高速マルチプレクサ300はそれぞれポートG、E、およびAと接続し、低速マルチプレクサ400とメモリ・モジュール500、500および800はそれぞれポートJ、LMOおよびRMOと接続する。

第1図の入出力システムは、多数の「制御モジュール」、「受動モジュール」および「メモリ・モジュール」を含むように示されている。IOPプロセッサ200と、上位プロセッサ700と、高速マルチプレクサ300は、各々が指令を出す能力を有する制御モジュールとして作用する。受動モジュールは通常ポートA乃至Hに接続する。複数の受動モジュールは、3つのポートJ、K、およびLに接続される。これ等のモジュールは、低

速マルチプレクサ400とSIU100に接続し、以下に述べる如くインターフェース601の各回路に与えられる指令の解釈および実行の可能な装置である。最後のグループのモジュールは、インターフェース603の各回路に与えられる2つの異なるタイプの指令を実行する能力のある主メモリ・システムの場合の如き局所メモリ・モジュールとリモートメモリ・モジュールを構成する。

第1図の入出力システムは、通常、それぞれ以下に詳細に記述するデータ・インターフェースおよびプログラム記憶インターフェースと対応するインターフェース600と601を介して通常ポート・Fに接続する上位プロセッサ700により制御される入出力命令に回答する入出力サブシステムとして作用する。ポートEとFは、第1図のマルチプレクサ又はプロセッサ・モジュールのいずれかの回路を介してするためのインターフェースを含んでいる。

本発明の目的のためには、プロセッサ700は概

以上公認であり、大図特許第3413.613号に記載される如き装置の形態をとり得る。要するに電送機中においては、入出力プロセッサ200は、入出力データの送受信に必要とされるチャンネルプログラムを記憶し、SIU100から受取る転送要求を処理し、送受信マルチプレクサ400に適合されるパケット・シーケンスを生成制御する。プロセッサ200は、データ・インターフェース600と転送インターフェース602を介してポートHに接続する。

本装置の目的においては電送上公認と考えられる送受信マルチプレクサ400は、各々が装置アダプタ・インターフェース(DAI)の各回路に適合する電送装置アダプタを介して送受信の周辺装置の取付けを可能にする。このインターフェースおよびアダプタは、本装置の権受人に譲渡された大図特許第3.742.457号に記載される如き装置の形態をとり得る。この送受信の装置には、カード・リーダー、カード・パンチおよびプリンタが含まれる。第1図から判るように、マルチプレクサ400は

前述の如く、各モジュールはSIU100の異なるポートに接続する。SIU100は、各々のモジュール間のデータおよび制御情報の転送を可能にする転送経路を介して各モジュールの相互に対する接続を可能にする。本装置の目的のためには、SIU100は、要求するモジュールが最優先順位を有しかつ次に使用可能なメモリー・タイトルを許される時、要求メモリー・モジュール500に接して各「転送」モジュールにデータの出入り転送を可能にする切当な経路として考えられる事ができる。即ち、前述の如く、SIU100は、各モジュールからの要求の順位の優先順位を決定し、又は優先順位メモリー・タイトルを受取つて決定するに等しいものである事は明白である。

更に、SIU100は、各モジュールから受取る転送要求の順位の優先順位を決定し、かつ受取つた最優先順位の要求を処理し、そのためには切当な経路を介してこの要求をプロセッサ200に送る転送要求受け回路500を含む。

特開第53-84632号

プログラム可能インターフェースとポートJに接続している。

送受信マルチプレクサ300は、チャンネル・アダプタ302乃至305の各々に接続するディスク装置およびテープ装置309乃至312の各グループ間の転送を直接制御する。更に、最大16個の装置に接続し得る各チャンネル・コントローラ・アダプタ303乃至306は、更に、チャンネル・アダプタインターフェース(CAI)301-1のインターフェース回路を介してポート又はチャンネル0乃至3の各々に接続する。送受信マルチプレクサ300は、データ・インターフェース600、プログラム可能インターフェース601および転送インターフェース602に対応するポートAに接続する。

本装置の目的のためには、チャンネル・コントローラ・アダプタ302乃至305の各々は、電送上公認と考えられる事ができ、前述の大図特許第3.742.457号に記載されたコントローラ・アダプタの形態をとり得る。

ポート・インターフェース

第1図の異なるモジュールについて簡単に説明するに先立ち、前述の各インターフェース600乃至603について第5図乃至第5d図に示して以下に説明する。

最初に第5a図に示して、即ち、1つの転送モジュールとSIU100間の情報交換を行うインターフェースの1つであるデータ・インターフェースを構成する各回路を示す事が判る。この情報交換は、「ダイヤログ」と呼ばれるセッションにより構成される予め定められた規則に従つて各命令とデータの情報の状態を制御する事により行われる。

第5a図から判るように、このインターフェースは、1つの転送出力ポート要求回路(AUPR)と、複数のSIUデータ回路(DTS00~35, P0~P3)と、複数のSIU端部データ回路(SDTS0~6, P)と、複数のSIUマルチポート要求回路(MITS0~3, P)と、1つの転送要求受け回路(ARA)と、読出しデータ受

入回路 (ARDA) と、現装置の SIU からのデータバス回路 (DFS 70~35, P0~P3) と、現装置の SIU からのマルチポート識別子回路 (MIPS 7~3, P1) と、SIU からの 2 管理回路 (OPFS) と、外部入回路 (AST) とを含む。この高インターフェース回路については、更に詳細に以下の項において記述する。

データ・インターフェース回路

記号	説明
AOPR	この回路はカポー・要求回路は、各モジュールから SIU 100 に存在する一方向性の回路である。この回路はセットされると、指令又はデータが送られるべき転送経路をモジュールが要求する事を SIU に対して伝達する。
DTSC0~35, P0~P3	このデータ経路は、各モジュールと SIU 間に存在する 4 バイトの一方向性の経路 (4 つの 10 ビット・バイト) で、各

される (指令はメモリー・モジュールのみにより構成され、プログラム可能インターフェース指令は、入出力プロセッサ 700 を除き全てのモジュールにより構成される)。

c) ビット 5 の状態は、指令経路の 1 ワード又は 2 ワードが要求者のモジュールと表示された受取り者のモジュール間に転送されるべき事を表示する (1 ワードは単相転送を指定し、2 ワードは 2 相転送を指定する)。

d) ビット 6 の状態は、要求者のモジュールと表示された受取り者のモジュール間の転送方向を表示する。

e) ビット P は、SIU 100 に与えられる信号により喚起され

回路 53-84632 の各モジュールから SIU 100 に対して指令又はデータを転送するのに使用される。

SDTS0~6, P

各 SIU 間データは、各モジュールから SIU 100 に存在する。この回路は、回路 AOPR がセットされる時各モジュールを SIU 100 に与えるために使用される。時間制御情報は、以下の如く符号化される 7 つのビットと 1 つのパリティ・ビットからなる。即ち、

a) ビット 0 の状態-DTS 回路に与えられる指令のタイプ (指令がプログラム可能インターフェース指令又はメモリー指令かどうか)。

b) ビット 1~4 は、モジュールのどれが指令を受取り納込みさせるかを表すよう符号化

MTS0~3, P

る要求者の各モジュールにより生成されるパリティ・ビットである。

4 本の各 SIU マルチポート識別子回路は、各モジュールから SIU 100 に存在する。この回路は、各モジュール内のどのサブチャネル又はポートが回路 AOPR のセッティングを生じたかを表すよう符号化される。

ARA

外部要求入回路は、SIU 100 から各モジュールに存在する。この回路は、表示された受取り者のモジュールが、データ・インターフェース回路から要求された情報を抽出させる各モジュールの要求を受入れた事を表示するようセットされる。

ARDA 読出しデータ受入れ回路は、SIU
から各機能モジュールに送達す
る。この回路は、SIU100によ
りセリットされて、表示されたモ
ジュールから前に要求されたデ
ータを受入れるべき事を機能モ
ジュールに対して表示する。

DFS00~35,
P0~P3 SIUからのデータ回路は、SIU
から各機能モジュールに送達す
る4バイト中の一万回性経路
(4つの10ビット・バイト)
である別の組のデータ送達回路
である。これ等の回路の組は、
読出しタイプのデータを機能モ
ジュールの表示された1つに送
達するようSIU100により使用
される。

MIFS0~3, P 4本のマルチポート識別子回路
プラス各ポートバリエーションは、SIU
100から各機能モジュールに

DPFS

AST

特記53-84632:3
送達する。これ等の回路は、各
モジュールにおけるどのポート
又はサブチャンネルがSIU100
から前に読出し操作のデータ
を受入れるべきかを表示するよう
符号化される。

SIUからの2管理回路は、SIU
から各機能モジュールに送達す
る。この回路の状態は、読出し
データの1ワード又は2ワード
が機能モジュールにより受入れ
られて送達を完了(読出し指令)
する事を表示する。

状況受入れ回路はSIU100から
各機能モジュールに送達する。
相互に同様のARDAを識別するこ
の回路の状況は、機能モジュ
ールがDFS回路に与えられる状況
情報を受入れるべき事を機能モ
ジュールに信号する。

図5b図に示されたプログラム可能インター
フェース601の回路は、機能モジュールと表示
されたモジュールからの指令情報の送達を行う。
この送達は、「ダイアログ」と呼ばれる操
作シナリにより送達される予定の送られた時刻に
従って各信号回路の状況の検出回路を調整する事
により行われる。プログラム可能インターフェ
ースは、プログラム可能インターフェース指令受
入れ回路(APC)、複製本のSIUからのプログラム可能
インターフェース・データ回路(PDFS00~35,
P0~P3)、プログラム可能インターフェ
ース使用可能回路(PIR)、データ転送読出し要求回路
(RDTR)、複製本からのSIUプログラム可能イン
ターフェース・データ回路(PDTS00~35, P0
~P3)、およびデータ読出し受入れ回路(RDAA)
を含む。これ等のインターフェース回路については
更に図5c以下に記述する。

プログラム可能インターフェース回路

IP 号	説 明
A P C	プログラム可能インターフェ ース

PDFS00~35,
P0~P3

PIR

ス指令受入れ回路は、SIU100
から各受取り側モジュールに送
達する。この回路はセリットさ
れると、指令情報がSIUによりイ
ンターフェースのPDFS回路に
与えられた事およびモジュール
により受入れられるべき事をモ
ジュールに対して信号する。

SIUからのプログラム可能イン
ターフェース・データ回路は、
SIU100から各モジュールに送
達する4バイト中の一万回性
の経路(4つの10ビット・バ
イト)である。これ等の回路は、
SIUから表示された受取り側の
モジュールに対してプログラム
可能インターフェース情報を与
える。

プログラム可能インターフェ
ース使用可能回路は、各モジュ
ール

んからSIU 送信する。この
 回線は、セットされると、モジ
 ュールが回線PDFSに与えられ
 るべき指令を受入れる用意のあ
 る事を表示する。

PDTSD00~35,
 P0~P5

RDTR

SIUプログラム可能インター
 フェース・データ回線は、各モ
 ジュールからSIU1000送信す
 る4バイトの1000送信の経
 路(4つの1000ビットバイト)
 である。これら回線は、プロ
 グラム可能インターフェース情
 報をSIUに送信するのに使用さ
 れる。

データ送信要求送出し回線は、
 プログラム可能インターフェー
 スに命令された各モジュールか
 らSIU1000送信する。この
 回線は、セットされると、所
 要求された送出しデータがモジ

RDAA

特許53-84632(9)
 ュールに送信する所帯つたのに便
 用可能であり、モジュールによ
 り回線PDTSKに対して与えられ
 た事を表示する。

送出しデータ受入れ回線はSIU
 1000から各モジュール送信
 する。この回線は、セットされ
 ると、回線PDTSKに与えられる
 データが受入れられた事、および
 このモジュールがこれら回線
 からの情報を受取る事をモ
 ジュールに対して表示する。

その他のインターフェースは、入出力プロセサ
 2000により読み込み処理を行う第5回線の読み込み
 インターフェース602である。即ち、このイン
 ターフェースは、読取モジュールによる読み込み情
 報のSIU1000に対する送信を可能にすると共に、
 SIU1000による読み込み情報の処理のための入出
 力プロセサ2000に対する送信も可能にする。他
 のインターフェースと同様に、読み込み要件の送信

は、「ダイヤログ」と呼ばれる信号シーケンス
 により構成される予め定められた規則に従い各信
 号回線の論理的状態を制御する事により行われる。

このインターフェースは、読み込み要求回線(IR)
 と、複数本の読み込みデータ回線(IDA00~11,
 P0~P11)と、ポートA乃至Lに接続されたモ
 ジュールに対する複数本の読み込みマルチポート選
 別子回線(IMID00~03)を含む。ポートG
 とHに接続されたモジュールに対しては、読み込み
 インターフェースは更に、レベル寄存回線(LZP)、
 高レベル読み込み存在回線(HLIP)、読み込みデータ
 要求回線(IDR)、読取回線(RLS)、および複数本
 の読取読み込みレベル回線(AILO~2)を含んで
 いる。第5回線から判るように、読み込みインター
 フェース・ポートGとHは、読み込みマルチポート
 選別子回線は含まない。読み込みインターフェース
 回線については更に詳細に以下に記述する。

読み込みインターフェース回線

記号	説明
IR	この読み込み要求回線は、各モジ

ュールからSIU1000送信す
 る。この回線は、セットされ
 ると、サービスを要求する事を
 SIUに表示する。

IDA0~3, P0
 IDA4~11, P1

読み込みデータ回線は、読取モ
 ジュールからSIU1000送信す
 る。これら回線は、読み込み要求
 がプロセサにより受入れられ
 後、入出力プロセサに対して送
 信される必要がある制御情報
 を含むように符号化される。こ
 れらのビットは以下の如く符号化
 される。

a) ビット0の状態は、2つの
 プロセサの内どちら(即ち、プ
 ロセサ番号)が読み込み要求を
 処理するかをSIU1000に対して
 指定する。

b) ビット1~3は、読み込み
 要求の優先順位即ちレベル番号を

要求したかを確認するよう信号
化される。

SIU100に於いて表示するよう
符号化される。

c) ビット P0 はビット 0-3
に対するパリティ・ビットである。

d) ビット 4-8 は、割込み処
理のための現在の状態を組合す
るための入出力プロセッサ 200
により生成される必要があるア
ドレスの一部（即ち、割込みサ
ブプログラム番号 ICBN）を有す
るよう符号化される。

e) ビット P1 はビット 4-11
に対するパリティ・ビットである。

L Z P

レベル存在回線は、SIU100
から入出力プロセッサ 200 迄延
在する。この回線は、セフトさ
れると、SIU100 によりプロ
セッサ 200 に対して伝送される
最優先順位（レベル 0 割込）要
求がある事を表示する。

H L I P

高レベル割込み存在回線は、SIU
から入出力プロセッサ 200 迄延在する。
この回線は、セフトされると、
プロセッサ 200 により実行され
る手順又はプロセスよりも高い
レベルの優先順位を有する割
込み要求がある事を表示する。

I D R

割込みデータ要求回線は入出力
プロセッサ 200 から SIU100
迄延在する。この回線は、セフ
トされると、割込みデータが

IMIDQ0-33

割込みマルチポート識別子回線
は、各機能モジュールから SIU
100 迄延在する。これ等回線
は、機能モジュールのどのサブ
チャンネルが割込みサービスを

SIU100 により回線 DFS 上
のプロセッサに対して決られるべ
き事を表示する。

R L S

結果回線は、入出力プロセサ
200 から SIU100 迄延在す
る。この回線は、セフトされる
時、プロセッサ 200 が現行の手
順の実行を完了した事を表示す
る。

AIL0-2

能動割込みレベル回線は、SIU
からの入出力プロセッサ 200 迄
延在する。これ等回線は、プロ
セッサ 200 により実行中の手順
の割込みレベル番号を表示する
よう符号化される。

第 1 図のモジュールのあり方により使用され
るインターフェース回線の長さは、第 5 d 図
の局内メモリ・インターフェース回線に対応
する。局内メモリ・インターフェース 603 は、
局内メモリ 500 とシステムのモジュール間の

情報の交換を行う。この交換は、「ダイヤログ」
と呼ばれる信号シーケンスにより構成される予め
定められた時刻に従って各信号インターフェース
回線の論理的状態を制御する事により行われる。
局内メモリ・インターフェースは、現数本の前
メモリデータ回線 (DTM00-35, P0-P3)、
現数本の前メモリ要求識別子回線 (RITM0-
7, P0-P1)、現数本の前メモリ指示回線
(SLTM0-3, P)、PI 指令受入れ回線 (APC)、
ZAC 指令受入れ回線 (AZC)、PI インターフェ
ース使用許可回線 (PIR)、ZAC インターフェ
ース使用許可回線 (ZIR)、データ転送要求輸出回
線 (RDTR)、現数本のメモリからのデータ回線
(DFM00-35, P0-P3)、現数本のメモ
リからの要求識別子回線 (RIFM0-7, P0
-P1)、メモリからの 2 倍遅延回線 (DPFM)
QUAD 回線、輸出データ受入れ回線 (RDAA)、
およびシステム・クロック回線 (SYS-CLK) を含
む。

メモリおよびプログラム可能インターフェー

ス指令は、インターフェースの受け渡しのデータ
 回路から転送される。このインターフェースは、
 読み込み要求の処理のための1組の回路を含んでお
 らず、従ってSIU100により局内メモリに格
 納されるモジュールは局内メモリ読み込みを主
 たる事はできない。局内メモリ・インターフェ
 ース回路については以下に更に詳細に記述する。
局内メモリ・インターフェース回路

IP 番	説 明
DTMO0~35, PO~P3	データ送終回路は、SIU100 から局内メモリ500に格納さ せる4バイトの一方向性送終 (36本のデータ線および4本 の奇数パリティ線)を構成す る。これら回路は、メモリ又 はプログラム制御インターフェ ース指令を局内メモリ500 に対して転送するのに使用され る。

RITMO~3, P0 局内メモリ・リクエスタ識別子
 RITM4~7, P1

又はサブチャンネルがモジュー
 ルに対して送られたメモリ指
 令を受取るか転送するかを指示
 するよう符号化されたポート番
 号選択ビットである。
 b) ビット2は、新たな命令が
 SIU100によりメモリに送
 られる時、SIU100により局
 内メモリ500に転送され
 るモジュールから受取られ
 る両向制御線に含まれる局内
 メモリ読出し/書込みビットで
 ある。このビットの状態は、デ
 ータ転送の方向を示す。
 c) ビット3は転送されるべき
 データ量を指示するよう符号化
 される局内メモリ7管理ビット
 である。これは、又、新たな
 な命令がメモリ・モジュール
 に送られる時、SIU100によ

特記 53-84632(11)
 回路は、SIU100から局内
 メモリに格納する2グループの
 4回路を構成する。これら回路
 は、指令を転送したモジュール
 を識別する局内メモリに対し
 て情報を伝えるよう符号化され、
 真正なモジュールに対し要求さ
 れたデータを送すのに使用され
 る。

SLTMO~3, P 局内メモリ指定回路は、SIU
 100から局内メモリ500
 に格納し、2本のポート番号選
 択回路、局内メモリ読出し/書
 込み回路、局内メモリ2倍増電
 回路、およびパリティ回路を含
 む。これ等の回路に与えられた
 情報信号は下記の如く符号化さ
 れる。即ち、
 a) ビット0~1は、取付けら
 れるモジュール内のどのポート

A Z C

り局内メモリ・モジュール
 500に対して転送される読
 出モジュールにより与えられる
 両向制御線に含まれる。
 ZAC 指令受入れ回路は、SIU
 100から局内メモリ・モジ
 ュール500に格納する。この
 回路は、セットされる時、局内
 メモリ・モジュール500に
 対して、SIU100により他の
 回路に与えられたZAC指令およ
 び制御線を受入れる事を指示
 する。このインターフェース回
 路のセッティングは、PI指令
 受入れインターフェース回路に
 対して相互に排他的である。
 プログラム制御インターフェ
 ース指令受入れ回路は、プログラ
 ム制御インターフェースに暗して
 記述したように、SIU100か

A P C

	ら局用メモリー・モジュール 600迄存在する。この回路は、 セットされると、回路DTMに与 えられた指令情報に局用メモリ ー・モジュールにより受入れら れるべき事を表示する。		
PIR/ZIR	プログラム可能インターフェー ス使用可能範囲/ZACインター フェース使用可能範囲は局用メ モリー・モジュール500から SIU100迄存在する。各回路 はセットされると、局用メモ ー・モジュール500がプログ ラム可能インターフェース(PI) /メモリー(ZAC)指令の受入 れが可能であることをSIU100 に対して伝達する。	DFM0~35, P0~P3	メモリーからのデータ回路は、 局用メモリー・モジュール500 からSIU100迄存在する4バ イト中の一方の半のバスである。 これら回路は、読出し要求され たタイプデータをSIU100を 介して読出モジュールに送すの に使用される。
RDTR	データ転送要求読出し回路は、 局用メモリー・モジュール500 からSIU100迄存在する。こ	RIFM0~3, P RIFM4~7, P	メモリーからのリクエスト識別 子回路のグループは、局用メ モリー・モジュール500から SIU100迄存在する。これら 回路は、モジュール500から
DPFMおよび QUAD	要求モジュールに対して読出 しデータを提供させるよう符号 化されている。 メモリーからの2倍精度回路お よびQUAD回路は、局用メモリ ー・モジュール500からSIU 100迄存在する。これら回路 は、読出しデータ転送要求時間 期間の間SIU100を介して要 求側のモジュールに対して転送 されるべきワード数を表示する ように符号化されている。これ らの回路は下記のとおり符号化さ れる。即ち、 QUAD DPFM 0 0 1ワード、単精度 0 1 2ワード、2倍精度 1 x 4ワード (xでもよい)		局用メモリー・モジュール500 からSIU迄存在する。この回路 の状況は、回路DFMに与えられ る情報は、回路RDTRがセット される時、読出しデータ又は状 況情報であるかどうかをSIU 100に対して伝達する。この 回路は、セットされると、1ワ ード又は2ワードの状況情報 (QUAD=0)が転送されつつあ る事を表示する。2進数値にセ ットされると、この回路は、4 ワード迄のデータが転送されつ つある事を伝達し、そのワード 数は回路QUADおよびDPFMの 符号により指示される。 プログラム可能ターミナルに關 して述べたように、読出しデー タ受入れ回路は、SIU100か ら局用メモリー・モジュール迄
DSD	読出しデータ/状況識別子回路は	RDA A	

存在する。この回路は、セットされると、局読メモリー・モジュールによりインターフェース回路上に与えられるデータが受入れられた事、および局読メモリー・モジュールがデータをこれら回路から除去できる事をメモリー・モジュールに対して信号する。

SYSTEM-CLK システム・クロック回路は、SIU 100からシステムの各モジュールに存在する回路である。この回路は、入出力プロセサ200に内蔵されるクロック・ソースに接続され、共通のシステム・クロック・ソースからの各メモリー・モジュールの動作を同期させる。

第5図乃至第54図は、第1図のシステムの異なるモジュールをSIU100に接続する回路を

特開53-84632(13) 示すが、例えばエラー条件および動作条件の如き他の条件を発生するため他の回路も含まれる事が判るであろう。第1図のモジュールにより使用される異なるタイプのインターフェースについて記述したが、本発明の原理に関連する各モジュールについて以下に更に詳細に記述する。

入出力プロセサ200-0の回路

第2図において、プロセサ200の各プロセサ200は、命令実行のため制御ストア201-10に記憶されるマイクロ命令に依存して制御信号を生成するよう作用するマイクロプログラム化された制御セクション201と、局読メモリー・モジュール500から取出される命令を記憶するための命令バッファ・セクション202と、記憶セクション203と、制御ストア201-10に記憶されたマイクロプログラムの制御下で演算処理作用を実行するための処理セクション204を含む。このプロセサ200の構成はシステムの信頼性を保証するものであり、製造出庫時に引出した最初の出庫に詳細に記述されている。

制御ストア・セクション201

各セクションを更に詳細に考察すれば、制御ストア201-10は例えば読出し専用(RON)のために使用する固定セクションから構成される。ストア201-10は、セレクト・スイッチ201-14に与えられた8つのアドレス・ソースのどれか1つからの信号を介してアドレス指定可能である。アドレス指定された場所の内容は、出力レジスタ201-15に読込まれ、ブロック201-16に内蔵されるデコード回路により処理される。

更に、図示の如く、レジスタ201-15のマイクロ命令内容のフィールドの1つからの信号は8つの入力ソースの内のどれが制御ストア201-10に対してアドレスを与えるかを選択するためのスイッチ201-14に対する入力として与えられる。レジスタ201-15に読出されたマイクロ命令は、制御ストア201-10を通過したマイクロプログラム・ループに分割するためのアドレス定数を含んでいる。

第2図から判るように、8つの制御ストア・アドレス・ソースは下記の如きものが含まれる。即ち、SIU100およびプロセサ200内蔵の回路により与えられる信号から導かれる制御込み/例外信号と、加算/シフト器201-24を介してレジスタ201-22に記憶される次のアドレス情報を受取る次のアドレス・レジスタ位置と、戻りレジスタ201-20の戻りアドレス内容を受取る戻りアドレス・レジスタ位置と、メモリー出力レジスタ201-4を介してバスファインダ・メモリー201-2からアドレスを受取る実行アドレス・レジスタ位置と、これも又レジスタ201-4からアドレスを受取るシーケンス・アドレス・レジスタ位置と、出力レジスタ201-15から一定数値を受取る定数位置とである。

通常の次のアドレスが加算回路201-24により生成され、この回路は、一方のオペランド入力としてスイッチ201-14により選択されるソースの1つからアドレス信号を、他方のオペランド入力としてブロック201-26のスクラップ

制御回路からの信号を受取る。このスケッチ制御回路は制御ストア・レジスタ201-15に記憶される定数信号により動作が行われ、前記レジスタは更に定数回路201-24に対するオペランド入力の一つとして適当な数値を与える。定数回路201-24により生成されて得たアドレスは、スイッチ201-14により与えられるアドレス・プロポネンタ201-26のスケッチ制御回路により与えられる定数信号の和を表示する。要約すれば、スイッチ201-14の異なる位置は、制御ストア201-10から選択されたマイクロ命令に付随して選択され、プログラム命令のOPコードにより指定される操作の実行に必要とされる制御ストア201-10に記憶されるマイクロプログラムに対して適当なアドレスを与える。命令OPコードは、図示の如く回路201-6を介してバス・アインダ・メモリ・201-2に与えられる。スイッチ201-14の異なるアドレス・レジスタ位置は分岐操作の明瞭としてプログラムの順序付けの順に選択されるが、定数レジスタ位置はレジ

スタ201-15に記憶されるマイクロ命令の定数フィールドにより指定されるマイクロストア201-10における予め定められた場所に対する分岐を行うために選択される。

プログラム命令の実行の完了時点で前記みちがもたれる。第2図から、高レベル前込み存在(HLIP)回路およびレベル前込み(LZP)回路はスイッチ201-14に信号を与える事が出来る。HLIP回路に与えられる信号はプロセス制御レジスタ204-22からの前込み禁止信号と「AND」され、その結果はLZP回路に与えられた信号とORされる。高レベル前込み存在信号が与えられない、即ちLZP回路に与えられた信号が否定する時、スイッチ201-14に接続された諸回路(図示せず)からの信号は例外/前込み位置を選択する。前込みの存在を表示する信号回路(LZPおよびHLIP)は、次のプログラム命令を実行するためのマイクロ命令シーケンスを照合する代りに、マイクロ命令の前込みシーケンスの照合を照合させる。

「例外」を表示する信号回路は、スイッチ201-14と接続する制御回路(図示せず)に与えられ、例外/前込み位置の選択を要する。この状態では、マイクロ命令の例外シーケンスを照合するためのアドレスを与える。実行のタイプに従って例外は直ちに処理されるが、これは、実行するプログラム命令実行が完了されなければならない、即ち可能でない(例、置数、定数命令)ためである。すなわち、実行が即興のアテンションを必要とした(例、タイム・アウト・オーバーフロー等)プログラム命令の実行の完了と同時に処理される。本文に説明したように、例外の発生は、スイッチ201-14の例外/前込み位置を選択させ、プロセスレジスタ204-22の適当なビット位置のセンタインクを要する。

第1図にPDAと表示され、制御セクション201-2に対する適当なメモリの操作タイトルを記憶するために必要なタイミング信号は、プロセス201-2のセクションおよび第1図のシステムの他のモジュールを操作するためのタイミング

信号と共に、ブロック201-30に内蔵されるクロック回路により与えられる。本発明の目的に対しては、クロック回路および第2図の他の回路は共に概略上公知と考える事ができ、例えば、1972年テキサス・インスツルメンツ社により発行された「設計技術者のための集積回路カタログ」なる著名の文献に示される諸回路の形態をとつても良い。更に、クロック回路はクリスタル制御発振回路およびカウンタ回路からなり、スイッチ201-14は複数値のデータ・セレクト・マルチプレクサ回路を有するもので良い。

前述の事から、他種どのマイクロプログラム化された制御装置における如く、制御ストア201-10は各プロセスの操作サイクルのために必要な状態を与える。即ち、1操作サイクル中に制御ストア201-10から読出される各マイクロ命令ワードは多くの別々の制御フィールドに分割され、このフィールドは、異なるスクランブルパッド・メモリのアドレス指定およびオペランドの選択のための第2図の各種のセレクト・スイッチに対し

して必要な入力信号と、分岐のための各テスト条件を指示するための信号と、セクション204の加重/シフト装置の動作を制御するための信号と、指令を生成するのに必要な制御情報を与えるための信号とを与える。制御セクション201の動作に基ずくこれ以上に詳細な内容については、本発明の譲受人に譲渡されたG.W.パターソン等の「バスファインダ制御メモリ」なる名称の係属中の米国特許出願を参照されたい。又、本発明の関連出願に記載の文献を参照してもよい。

命令バッファ・セクション202

本項は、命令メモリ・モジュール500から取出されかつレジスタ204-18におけるデータを介して与えられる4ワード迄の命令を記憶するための複数個のレジスタ202-2を含む。レジスタ202-2のグループは、2つの出力と1つの現行命令既出し出力(CIR)と1つの次の命令既出し出力(NIR)とを有するよう構成される2桁の命令レジスタ・スイッチ202-4に接続されている。半ワード又は完全ワードに亘る命令

ワードの選択は、ブロック204-12の多重レジスタの最初のものに通常記憶される現行命令カウンタ(IC)のビット位置の状態に従って行われる。本発明の目的のためには、この構成は簡便と公認のものと考えられる。

記憶セクション203

第2図から判るように、このセクションは、8つの異なる8つの優先順位レベルを割当てられる8つの異なるプロセスと関連する8組又は8グループのレジスタを含むスクラッチパッド・メモリからなる。最優先順位のレベルはレベル0であり、最低順位のレベルはレベル7である。各グループ間レベルは、前述の如く使用される16個のレジスタを含む。

スクラッチパッド・メモリ203-10は、8つのソースのどれから7ビットのアドレスをアドレス入力203-12に対して選択的に与える8位置のデータ・セレクタ・スイッチ203-14を介してアドレス指定される。アドレス入力203-12の3つの最上位のビット位置は8組

のレジスタ(即ち、レベル)の1つを選択するが、残りの4ビットは16レジスタの1つを選択する。SIU100により能動割込みレベル(AIL)回路に与えられる信号は、3つの最上位のビットをスクラッチパッド・アドレス入力203-12に与える。残りの信号は、制御ストア・レジスタ201-15又はIRSWを介して与えられる命令からのフィールドにより与えられる。

割込みアドレス・レジスタ203-22は、スイッチ202-4を介してロードされ、レジスタ201-15に含まれるマイクロ命令のフィールドの1つにより表示される如き現行プログラム命令のビット9-12又はビット14-17のいずれかに対応する信号を記憶する。従つて、割込みアドレス・レジスタは、スクラッチパッド・メモリ203-10の汎用レジスタの1つに機能をロードしあるいはこれを実現するためのアドレス記憶を有する。割込み動作は、表示しないクロックされた割込みフリップフロップの2進数1への切換えに對し、あるいはレジスタ201-15へロー

ドされるマイクロ命令のフィールドに對して応答して生じる割込みクロック信号の発生と同時に生じる。割込みフリップフロップにより生成される際、次のPDAクロック・パルスの発生と同時に割込みフリップフロップが2進数零にリセットされる時に割込みクロック信号が生じる。これは、次の命令の処理を開始する間プログラム命令に亘る割込み動作を発生させる。

割込みアドレス・レジスタ203-22の内容は、レジスタ203-22が0、1又は15のアドレスを記憶する度に出力回路上に信号を発生するように作用するセレクタ・スイッチ203-14を介してデコード回路203-28に与えられる事が判るであろう。この信号は、割込みフリップフロップが2進数1の状態にある時、図示しないゲート回路により割込みクロック・パルスの発生を停止する。更に、デコード回路203-28は、プロセス状態レジスタ204-20からセード信号を受取る。プロセッサ200がマスター又はスレーブ動作モードにある事を示す信号の状態は、

出力信号で「AND」され、プロセス制御レジスタ 204-222 およびスイッチ 201-14 の例外-割込み位置の選択を生じる 1 つに対する入力として与えられる別の出力回路上の例外信号を生じることによって使用される。本文に説明したように、この状態は、スクラッチパッド・メモリ 203-10 のプロセス状態レジスタの場所 (GRO) の内容の変更を退出する。

アドレス指定されたレジスタの場所の内容は、最初の 2 位置のデータ・セレクト・スイッチ 203-18 を介してスクラッチ・バッファ・レジスタ 203-16 に搬送される。次いでこのバッファ・レジスタ 203-16 の内容は、別の 2 位置のデータ・セレクト・スイッチ 203-20 を介して処理セクション 204 に選択的に与えられる。データ・セレクト・スイッチ 203-14、203-18 および 203-20 の各々の最なる位置は、レジスタ 201-15 に搬送されるマイクロ命令に与えられる最なるフィールドにより選択可能である。スクラッチパッド・メモリ 203-10 は、

の故に、このレジスタの内容を格納する信号は、処理セクション 204 のレジスタ (即ち、レジスタ 204-222) の 1 つに記憶される。このように、プロセス状態レジスタの内容を記憶するための汎用レジスタの記憶場所は、割込みの発生と同時にセクション 204 のプロセス状態レジスタの現在値を記憶するよう作用する。

各グループのレジスタは、更に、関連するプロセスの現行命令のアドレスを記憶するための命令カウンタ (汎用レジスタ 1) を含んでいる。更に、各グループのレジスタは、ページ・テーブル基座レジスタ (汎用レジスタ 15)、およびオペランドとアドレス情報のための一時的記憶を提供するための多数の汎用レジスタ (汎用レジスタ 7-14) を含んでいる。スクラッチパッド・メモリ 203-10 は又、例外メモリ・モジュール 500 に記憶される例外制御ブロックおよび割込み制御ブロック・テーブルの番地を指示する絶対アドレスを記憶する制御ブロックの番地 (CBB) レジスタの場所を含んでいる。決して変更されないレジ

ブロック 204-12 の 4 つの作業レジスタの内のいずれか 1 つに選択的に格納された 1 対の出力バスから与えられるデータ信号を受ける。

16 個のレジスタの各組は、現行プロセスの割込みに必須の情報の記憶のためのプロセス状態レジスタ (PSR) の場所 (汎用レジスタ 0) を含む。レジスタの最初の 8 ビット位置は、割込みモジュールを識別するよう符号化された時間情報を記憶する。次の位置は、操作モード (即ち、マスター又はスレーブ) を識別するよう識別するよう符号化された番地ビット位置である。このレジスタも又、レジスタ内容が変更できるかどうかを表示するよう符号化された例外レジスタのビット位置と、アドレス・モード・ビット位置と、2 つの条件コード・ビット位置と、繰上げビット位置と、関連するプロセスが活動状態にある (即ち、「プロセス・タイマー」) として作用する) 計数的に差分されるカウンタを記憶するための 22 ビット位置とを含む。修正又は命令のために必要なプロセス状態レジスタの内容に対するアクセスの順度

の優先順位 (レベル 0) の最初のレジスタ GRO は、制御ブロックの番地情報を記憶する。割込み制御ブロック (CBB) テーブルは、割込みタイプを処理するための情報を記憶する 256 グループの記憶場所を含んでいる。例外制御ブロック (ECB) テーブルは、例外タイプを処理するための情報を記憶する 16 グループの記憶場所を含んでいる。

例外とは、プロセッサ 200 を自動的に 16 の例外制御ルーティンの 1 つに入れるプロセッサ検出による条件である。この例外条件は、プロセッサがマスター・モードに入る時プログラム命令のビット 10-13 に対応する 4 ビットの例外番号により識別される。他の全ての場合には、例外番号は零である。例外番号 (ECB#) は、例外処理ルーティンを指示する 4 ワードの例外制御ブロック (ECB) の 1 つを識別するのに使用される。ECB のバイト・アドレスは、制御ブロック・ベース (CBB)-16 (ECB#*11) と等しい。各 ECB は、プロセッサ 200 が例外ルーティンに入る前に、現行プロセスに属す

る情報を記憶するためのスタック領域として作用する保管領域ポインタに加えて、レジスタPSR、ICおよびPTBRをロードするための数値を含む。割込み制御ブロック(ICB)のアドレスは、制御ブロック・ベース(CBB)-16(ICB*)と等しい。ICB*は前述の如く割込みワードから導かれる。すなわち、ICBは4ワードのブロックであり、レジスタPSR、IC、GR14およびPTBRに対する数値を含む。

セクション204

このセクションは、プログラム命令の処理に必要な演算処理操作の全てを実施する。セクション204は、1対の36ビットのオペランドに対して演算、シフトおよび論理的操作を実施する能力がある加算/シフト装置204-1を含む。装置204-1の元演算命令又はシフト命令成分のいずれかにより主たる結果は、マイクロ命令に転送して選択され、その後1対の出力回路上の4位データ・セレクタ・スイッチ204-8をブロック204-12の作動レジスタのいずれかに対応

し、およびデータ出力レジスタ204-14に対して選択的に転送される。データ出力レジスタ204-14はプロセッサ・データ・インターフェース600の回路に接続する。

本装置の目的のために、加算/シフト装置204-1は機能上は公知と考えられる。又、装置204-1は、J・P・スタッフォード(Stafford)の米国特許第3,811,039号に開示される如き回路が、本文の発明出願に記載された他の回路に開示される回路を含むものでもよい。

ブロック204-12は、命令カウンタおよび命令実行の間のアドレスに対して一時的記憶を与える4つの作動レジスタR0乃至R3を含んでいる。これ等レジスタは、スイッチ204-8に接続されたソースの内のいずれか(即ち、加算/シフト装置204-1、アドレス・スイッチ204-6、PSR/PCR スwitch 204-24およびスクラッチパッド・バッファ入力スイッチ203-18)からロードできる。ロードされるべきレジスタおよびこのレジスタのロードに必要とされ

るべき情報は、レジスタ201-15に送出されるマイクロ命令に含まれるフィールドにより提供される。

第2図から判るように、各レジスタは1対の出力バスWRPおよびWRRに接続される。WRPバスは、アドレス入力204-5と、スイッチ203-18と、スクラッチパッド・メモリ203-10に接続する。WRRバスは、Aオペランド・スイッチ203-20と、Bオペランド・スイッチ204-1と、レジスタ204-20と、レジスタ204-22に接続する。WRRおよびWRPバスに対して接続するその選択されるレジスタは、レジスタ201-15に送出されたマイクロ命令に含まれる1対のフィールドにより表示される。

第2図から判るように、制御セクション204は、プロセス状態レジスタ204-20とプロセス制御レジスタ204-22を含む。前述の如く、プロセス状態レジスタ204-20は出力バスWRRを介してスクラッチパッド・メモリ203-10からロードされる。プロセス制御レジスタ

204-22は、全ての8つの割込みレベルに共通な36ビットのレジスタである。

プロセス制御レジスタ204-22のビット位置は、下記の情報を含む。ビット位置0-8は、下記のものを含む異なるタイプの非マスター・モードの例外を表示する。即ち、

PCRビット位置	例外タイプ
0	動作不完了、回路ARA又はARDA上のSIU100からの応答なし。
1	ページ・アドレスは過剰となる(キー検閲)
2	ページ・アクセス障害
3	メモリに存在しないページ
4	過剰操作
5	プロセス・タイマーのラン・アウト
6	オーバーフロー
7	ロック・アップ障害
8	アドレス位相適合不良

用語「過剰」は必ずしもハードウェアの発生を意味せず、エラー条件等を含む。

ビット位置 9～15 はパリティ・エラーの場所を識別し、ビット位置 23～26 は PNID および AID 回路から受取るプロセッサ番号およびレベルを識別する。ビット位置 27 は読み込み禁止ビット位置であるが、ビット位置 28～35 は、2 進数 1 でセプトされるとビット位置と対応するレベル（例、ビット 28 = レベル 0）における読み込みを表示する読み込み選択ビットを記憶する。ビット位置 27～35 は、出力バス WRR を介してブロック 204-12 のレジスタ・バンクからプログラム命令によりロード可能である。各レジスタ 204-20 と 204-22 の内容は、2 位置のデータ・セレクト・スイッチ 204-24 を介して 4 位置データ・セレクト・スイッチ 204-8 の位置の他の 1 つに対する入力として選択的に与えられる。レジスタ 204-20 は、2 位置の場面セレクト・スイッチ 204-10 および 4 位置のアドレス・セレクト・スイッチ 204-6 の PI 位置に接続する。

場面スイッチ 204-10 は、選択可能なモジュール

の 1 つのビットに対応する。メモリー・タイトル開始前指示の開始と同時に、場面スイッチ 204-10 からの信号は、演算器プロセッサ 200 のデータ・インターフェース 600 の異なる回路に与える場面レジスタ 204-16 にロードされる。前述の如く、別の場面情報を含む指令は、PI 指令の場合におけるアドレス・スイッチ 204-6 の位置 2 により与えられる。

又第 2 図からも判るように、場面セクション 204 は、WRP バスに接続されたレジスタの 1 つからアドレス情報を受取るアドレス入力 204-5 を介してアドレス指定可能なスクラッチパッド・メモリー 204-4 を含む。スクラッチパッド・メモリー 204-4 は、局用メモリー・モジュール 500 をアドレス指定するための絶対アドレスを生成する機能とされる 8 つの読み込みレベルの各々に対してページ・テーブル・アドレス記憶域を有する。アドレス指定される時、スクラッチパッド・メモリー 204-4 の記憶域の内容は、アドレス・スイッチ 204-6 の 4 位置の内の 2 つ

に対して指令を記憶するのに使用される SIL 100 に対して場面情報を与える。レジスタ 204-15 に記憶されたマイクロ命令に含まれるフィールドの 1 つは、メモリー指令又は PI 指令のいずれかに対する適切な位置を選択する。メモリー指令に対する場面情報は、マイクロ命令に含まれるフィールドから、スクラッチパッド・メモリー 204-4 からのページ番号をアドレス情報又はバス WRP から絶対アドレス情報と共に生成される。

R/W 指令に対しては、場面情報は以下の如く生成される。即ち、ビット 0 は R/W 指令に対する 2 進数であり、ビット 1 は局用/リモート・メモリーを規定するか PTW ビット 0（ページ付けされる）又は WRP ビット 0（絶対）に対応する。ビット 2～4 は PTW ビット 1～3（ページ付け）又は WRP ビット 1～3（絶対）に対応する。ビット 5～6 は、単精度か 2 倍精度伝送かを表示し、かつ印出し操作か読み込み操作のタイトルを表示するよう符号化されるマイクロ命令のフィールド

に送出される。これらの 2 つの位置は、局用メモリー・モジュール 500 のページ組合のために使用される。スクラッチパッド・メモリー 204-4 のページ付け操作は特に本明細には関連しないため、本文においてはこれ以上詳細に記さない。

アドレス・セレクト・スイッチ 204-6 の他の 2 位置はメモリー又は PI 指令を与えるために使用される。特に、レジスタ 204-15 に記憶されるマイクロ命令ワードのアドレス制御フィールドにより選択される時、アドレス・スイッチ 204-6 の位置 1 は R/W メモリー指令情報を生成し、この情報は、マイクロ命令ワードの予め定められたフィールドに従ってビット 0～8、およびメモリー 204-4 からのページ付けされるアドレス情報又はブロック 204-12 の作電レジスタにより出力バス WRP に与えられる絶対アドレス・ビットのいずれかに対応するよう符号化されたビット 9～35 を含んでいる。スイッチ 204-6 の PI 位置が選択される時、このスイッチはプログラム可能インターフェース指令ワードを生

成し、この指令ワードにおいては、ビット0は2進数であり、ビット1はレジスタ201-15に記憶されるマイクロ命令ワードのフィールドにより与えられ、ビット2はPSRレジスタ204-20のビット9により与えられ実行プロセスがあるかレジスタを変更できるかどうかを決定し、ビット5-8はレジスタ204-20のビット4-7に等しくモジュール内のポート又はサブチャンネルを決定し、ビット3はSIU100により与えられるプロセッサの番号を指定するよう符号化され、ビット4は2であり、ビット9-35はPI指令の絶対アドレスに決定するバスWRPのビット9-35と等しい。

図6メモリ・モジュール500の構成

図6図は、本発明のシステムと、本発明の指示内容による局所メモリ・モジュール500の構成を含む主要ブロックを示す。図6において、モジュール500は、図示の如く構成されたキャッシュ・ストア・セクション200-2、補助記憶装置セクション500-4、入力レジスタ

セクション500-17、記憶装置セクション500-6、出力スイッチ・セクション500-8、および出力スイッチ・セクション500-10を含むことが知られる。出力スイッチ・セクション500-10と入力レジスタ・セクション500-12は、前述の如くSIU100のスイッチを介してプロセッサPO又はマルチプレクサ・モジュール500のいずれかに接続してデータおよび制御情報を伝達しかつこれを受取る。

図7は更に詳細に示されたカッシー・ストア・セクション500-2は、前述する制御回路500-21を有するカッシー500-23と、前述する比較回路500-24を有する登録記憶装置500-22と、ビット論理回路500-26を有する如く構成してなる。カッシー・ストアは、各々が製造上公知の可読能力のバイポーラ回路チップから構成される4つのレベル間カッシーに構成されている。各レベルは、各バイト・セクションが5つのバイポーラ回路チップを含む8つのバイト・セクションに分割される。この回路チップ

は各々が178個のアドレス指定可能な7ビットの記憶場所を含み、チップは合計すると64ブロックのアドレス場所即ち256のアドレス場所を有し、このアドレス場所では、各ブロックは、ワードが4バイト(バイト=9データ・ビット-1パリティ・ビット)を含む4、40ビットワードとして与えられる。

登録記憶装置500-22は各カッシー・ブロックのアドレスを記憶し、同時に4つのレベルで構成される。装置500-22は、カッシーのどのレベルが次の動作サイクルの間に与えられるべきかを決定するための増進ロビン・カウンタ装置(図示せず)を含む。異なるレベルのカッシーは30ビットのラッチを有し、カッシー・ブロックは2つのこのようなラッチを含んでいる。登録記憶装置500-22は、このようにカッシーに与えられるブロックのアドレスのラッチに分割されてゐる。本発明の目的のためには、このラッチは公知と考えられ、R.E.ランジ(Lange)著の米国特許第3,845,474号に開示される構成

に類似するものでよい。カッシーの動作サイクルの間、4つのバイトが8つのセクタ・回路の1つの番号を介して出力マルチプレクサ・スイッチ500-10に送られる。

この登録記憶装置500-22はブロック500-24の比較回路にアドレス信号を与える。製造上は公知のこれらの回路は、要求されている情報が4つのレベルのいずれかにあるカッシーに存在する(即ち、ヒットの存在)かどうかを検出するよう作用する。比較回路500-24は、比較の結果をブロック500-28のビット回路で与える。このビット回路500-28は、更に、ブロック500-6の制御回路回路に対する入力として与えられるビット表示を記憶する。補助記憶装置セクション500-4は、補助記憶装置500-40と、タイミング回路500-48と、160ビットの出力レジスタ500-42と、データ訂正パリティ発生回路500-44と、ブロック500-46の多数の制御回路を第7図に示す如く構成されてなる。回路500-48はカク

シタおよび演算回路を含んでいる。これは標準上は公知であるが、メモリー・モジュール500-2の全動作を制御するためのタイミングおよび制御信号を与える。

補助記憶装置500-40は、標準上公知の4KのMOSメモリー・チップから構成され、各ワードが40ビット(32Kブロック)を有する128Kのメモリー・ワードの容量を有する。データ不正パリティ発生回路は、補助記憶装置500-40から読出されかつこれに書込まれるワードにかかるエラーを検出および訂正するよう作動する。本発明の目的のためには、これ等の回路は標準上公知と考えられる。

第7図から判るように、入力レジスタ・セクションは、ゾーン、アドレスおよび指令(ZAC)レジスタ500-120と、第1のワード・パツファ・レジスタ500-122と、第2のワード・パツファ・レジスタ500-123を顯示の如く組合してなる。ZACレジスタ500-120は、第8図に示されるフォーマットを有するZAC指令

ワードを記憶する。入力パツファ・レジスタ

500-122と500-123は、リクエスト・モジュールによりインターフェース603のDTM回路に与えられるZAC指令のデータ・ワードを受取るように構成される。レジスタ500-122と500-123の内容は、2つのマルチプレクサ・スイッチ500-8の1万の異なるバイト位置に与えられる。スイッチ500-8は又補助記憶装置から読出されてキャッシュ500-20に書込まれるデータを受取る。

ZACレジスタ500-120の指令内容はブロック500-6に含まれるコーディング回路に与えられ、アドレス信号はブロック500-6の制御部と全量帯記憶装置500-22とキャッシュ500-20とそのアドレス指定のための補助記憶装置500-40とに配分される。

ブロック500-6の制御部は、ZACレジスタ500-120に記憶された指令により指定される動作を実行するための局域メモリー・モジュールの異なる部分を条件付けるための各種の制御

およびタイミング信号を生成する。これは、それぞれ補助記憶装置500-40に書込まれ、又補助記憶装置500-40とキャッシュ500-20から読出されるデータ信号のグループを選択するため、入力マルチプレクサ・スイッチ500-8および出力マルチプレクサ・スイッチ500-10に対する配分制御信号を含んでいる。本発明の目的のためには、本気で論議される第8図の制御回路の概略、マルチプレクサ又はデータ・セレクト回路およびレジスタは標準上公知と考えられ、前述のテキサス・インストルメンツ社の文献に開示される回路図をとりつてもよい。

第8図は更に詳細にブロック500-6、500-21、500-26および500-46の制御回路のあるものを示す。図解において、ブロック500-6の制御回路は制御用のAND/NANDゲート500-60乃至500-74を含んでいる事が判る。ゲート500-60、500-61および500-62は、ZACレジスタ500-120からZAC指令ビット信号およびキャッシュ・パイバ

ス信号の異なるものを受取るよう構成されている。これ等の信号は顯示の如く組合せられ、ゲート500-64と500-74に与えられる。その結果得た読出しロードおよび読込みロード指令信号は、キャッシュ制御回路500-21、全量帯制御回路500-26および補助記憶装置制御回路500-46に顯示の如く与えられる。RCL000およびRR100の如き他の指令信号も又補助記憶装置500-46に与えられる。

第9図から判るように、キャッシュ制御回路500-21は、書込みクロック制御回路500-214に対して書込みキャッシュ・タイミング信号を与える並列構成されたNAND/ANDゲート500-210と500-212を含んでいる。書込み制御回路500-214は、標準上公知の制御ゲート回路を含み、この回路は書込み操作サイクルの進行に必要とされるキャッシュ500-20に対して適切なタイミング信号を与える。更に、制御回路は、補助記憶装置500-40からデータのブロックをキャッシュに書込むために必要とされる

ようなアドレス・ビットも2の桁数を修正するよう作用するAND/NANDゲート500-216乃至500-222を更に含む。

同様に、分岐制御回路は、直列接続されたNAND/ANDゲート500-260、500-262、500-264を含み、この最後のゲートは導込み制御回路500-264に導込み登録タイミング信号WRDR100を与える。この導込み制御回路500-264は導込上は公認の論理ゲート回路を含み、この回路は導込み動作サイクルの実行に必要な登録信号500-222に対して導込タイミング信号を与える。

導込制御回路500-46は、直列接続されたAND/NANDゲート500-460乃至500-468を含んでいる。これらゲートは導込制御信号要求信号BSREQ100および制御ゲート信号を生成して導込制御回路の導出し導込み動作サイクルを開始すると共にSIU100に対する導込制御信号データの転送を許可する。

第8図の最後の回路グループは第7図のビット

レジスタ回路を構成する。この回路は示すように導込されたANDゲート500-281の後にNAND/ANDゲート500-280と500-282を含む。このNAND/ANDゲート500-280は、比較回路500-24からその両方の元取信号を受け取り、ゲート500-282に対して登録比較の表示を与える。ゲート500-282の出力は更にビット・レジスタ・フリップフロップ500-284のセット入力端に与えられる。NAND/ANDゲート500-284は、フリップフロップ500-284のリセット入力端を導込しかつこれに与えるSIU100からの受入れZAC信号を受け取る。フリップフロップ500-284からの2進数1および零の出力信号は、その後第8図に示された論理ブロックの最終ものに配分される。

システム・インターフェースモジュールの導込 導込みセクション102

システム・インターフェース(SIU)100は、前述の如く、複数のクロスパス・スイッチを介

して第1図のシステムの名モジュール間の通信を行う。モジュールの各インターフェースの回路から信号を授けるため複数のクロスパス・スイッチが使用される。第3図は、モジュール導込みインターフェースを形成するための導込みセクション102のスイッチおよび回路を示す。第1図のシステムにおいては、その各々がその導込みインターフェース602の各回路を介してSIU100に与え信号を与えるポートLMO、A、E、GおよびJに接続するモジュールがある。更に、SIU100は又第1図のポートLと関連する導込みインターフェースを介して信号を与える。

第3図から明らかなように、サービスを要求する時、各モジュールは、導込優先順位および制御ブロック101-2の導込回路に与えられるそのIDA回路における導込優先順位情報と共に、その導込要求(IR)回路に信号を与える。ブロック101-2の導込回路は、全ての導込みインターフェースをモニターし、実行中のプロセスよりも高の優先順位を有する要求がある時、プロ

セサ200に対応する導込プロセサに信号する。プロセサ200がこの要求を受け入れる事ができる。導込信号する時、SIU100は、導込優先順位の要求と関連する識別子情報をプロセサ200に対してゲートする。この識別子情報は、パリティ・ビットを含む8ビットの導込制御ブロック番号と、3ビットの導込レベル番号と、パリティ・ビットと4ビットのチャネル番号を有する1ビットのプロセサ番号を含んでいる。

更に詳細に導込セクション102について考慮すれば、ブロック101-2の導込回路は、プロセサ番号および導込要求信号を授受するデコード回路を含んでいる。パリティ・エラーがなければ、デコード回路からの出力信号は表示されたプロセサの導込回路の優先順位導込回路に与えられる。この優先順位導込回路は、導込レベル番号を授受し、最優先レベルを決定し、次いでポートの優先順位を決定しその結果最優先順位レベルと最上位のポート順位を有するモジュールが選択される。与えられたレベルにおける導込み

ポート番号は下記の如くである。

オールド：ポートL：ポートA、ポートB、ポートC：ポートD：ポートE：ポートF、ポートG：ポートH：ポートJおよびポートK、

この事は、第1図のシステムにおいては、実行プロセスのポートが優先権位置を有し、これに続いてSIU100、高速マルチプレクサ300、上位プロセッサ700、プロセッサ200、および低速マルチプレクサ400となる事を意味する。

ブロック101-2の優先権位置は、n個の二重線の1つに出力信号を生成するように作動する。但し、nはシステム内の前送みモジュールの位数である。n個の出力信号は、レジスタ101-6にロードされるべき現在進行中のレベルより高い優先権位置を有する前送みレベルの前送みレベル番号を選択する8ビットのデータ・セレクタ・スイッチ101-4に見えられる。レジスタ101-6からの出力信号は、高レベル前送み存在(HLIP)信号又はレベル存在(LZP)信号のみに2進数1に強制するSIU100に送達してプ

特開 53-84632-22

ロセッサ200がIDR 回路を2進数1に強制する時、AIL 回路に見えられる。実行プロセスが前送みを要しない場合、前送み要求はプロセッサ200に実行プロセスを中断させ、前述の優先権情報を含むSIU100からの前送みワードを受入れさせる。更に、この前送みワードは下記の如く形式化される。即ち、

ビット0は新たな前送みビット位置である。2進数1にセットされる時は前送みが新しいものである事を示し、2進数0にセットされる時は前送みが再送されるべき前送み前送みが行われたプロセスでの前送みであることを示す。

ビット1-17は使用されず、2進数0である。

ビット18-27は前送み制御ブロック番号を指定し、ビット18と27は2進数0にセットされる。

ビット28-31はSIU100により生成され、本説明により本文に説明するようにソース・モジュールを識別する。

ビット32-35は多重ポートを有するモジュ

ールにより生成され、本文に説明するように本説明によりソース・モジュール内のサブチャネル又はポートを識別する。

ブロック101-2の回路の構成に照してこれは、この回路を回ったければ、本文の優先権位置に相対した「優先権前送みハードウェア」なる名称の信号中の本説明を参照されたい。

又、前送み優先権位置101-2からの出力信号は別のデータ・セレクタ・スイッチ回路101-8に見えられる事も明かであろう。優先権位置を有する要求者のモジュールのみがセレクタ回路101-8に信号を伝えるため、セレクタ回路は、優先権位置を有する要求者のモジュールが生成する前送みワード（即ち、前送みワードのビット28-31）を識別する手段の定められたフィード・バック・セノットの符号化信号を生成するように作動されている。

要するに本説明においては、下記の時間ワードが第1図のモジュールの識別の為に生成される。即ち、

ワード	識別されたSIUポート(モジュール)
0000	局域メモリ・モジュール-ポートLMO
0001	ポートK
0010	SIU100-ポートL
0101	低速マルチプレクサ400-ポートJ
0110	プロセッサ200-ポートG
1101	高速マルチプレクサ300-ポートA
1110	上位プロセッサ700-ポートE

セレクタ回路101-8により生成された4ビット・ワードは、更に、ゲート回路101-12に含まれる公知のANDゲート回路のグループに見えられる。そのソース・システムにより与えられた他の優先権位置又は回路101-12の他のゲート回路に見えられる。特に、各モジュールは、前送み制御ブロック番号(ICBN)をそのIDA 回路を介して8ビットのデータ・セレクタ・スイッチ回路101-14の別の1つの位置に見える。更に、各モジュールは、ソース・モジュールの要求者のサブチャネル又はポートを識別する情報

を割込みインターフェースの INID 回路を介して回路網 101-12 のデータ回路の別のものに見える、プロセッサ 200 がその割込みデータ要求 (IDR) 回路を 2 進数 1 に強制する時、SIU 100 はデータ回路網 101-12 からの信号を、4 位置のデータ・セレクタ・スイッチ回路 101-20 の位置の 1 つを介してプロセッサのデータ・インターフェース 600 の SIU (DFS) バス回路からのデータに見える、スイッチ 101-20 の他の位置は、二進数の回路に接続しないことを示さぬ。

データ転送セクション 102

図 3b はシステム・インターフェース 100 のデータ転送セクション 102 を示す。このセクションは、どのソース・モジュールがそのプログラム回路インターフェース 601 上の高速マルチプレクサ 300 に指令を送信するか、又どのソース・モジュールがそのデータ・インターフェース 600 上のマルチプレクサ 300 に対してデータを送信するかを決定する優先順位回路を含んでいる。更に、セクション 102 は、どのソース・モ

ジュールがデータ又は指令のいずれかを制御・メモリ・モジュール 500 に転送しているかを決定する優先順位回路を含んでいる。

1 番のモジュール間の転送は一方のモジュールが他方のモジュールに対し要求を生じた時に生じ、又この要求は他方のモジュールにより受け入れられた事が判るであろう。要求が受け入れられたのは、要求側のモジュールは優先順位を得たはず、他方のモジュールは情報を受取る状態になければならず、転送が生じる転送経路が使用可能 (即ち使用でない) でなければならぬ。

プロセッサ 200 によりセクション 102 に見える信号に関しては、これら信号の発生は大きな割合で第 2 図のプロセッサ・レジスタ 201-15 に読出されるマイクロ命令の異なるフィールドにより左右される。例えば、ブロック 102-4 の回路網に見えるプロセッサ 200 からの活動出力ポート要求 (AOPR) は、読出し/書き込みメモリ又はプログラム可能インターフェース指令の転送を規定するよう符号化されるレジスタ 201-

15 に読出されたマイクロ命令の SIU 要求タイプ制御ビット・フィールドに従って使用可能の状態となる。2 位置のデータ・セレクタ・スイッチ 102-2 に見えるプロセッサ・データ・インターフェース 600 の新 SIU データ回路 (DTS) は、第 2 図のプロセッサのデータ出力レジスタ 204-14 にロードされるマイクロ命令制御下で生じる指令情報を生成する。新 SIU 回路データ (SDTS) 回路は、第 2 図のプロセッサレジスタ 204-16 にロードされるマイクロプログラム制御下で生じた信号を受取る。

第 1 図のシステムに於いては、I/O プロセッサのみがマルチプレクサ 300 のみに指令を送信し、プロセッサ 200 が回路網 102-4 に信号を見る。従って回路網 102-4 はデコード回路を含み、この回路はプロセッサ・モジュールがマルチプレクサ 300 に対して指令の転送を受ける地点を決定するたのプロセッサ・モジュールからの活動情報を提供する。1 つ以上のモジュールが同一のマイクロ命令に転送を受ける時、1 つ以上の I/O プ

ロセッサの命令では、回路網 102-4 に含まれる優先順位回路網は、優先順位を割当てられたモジュールを選択し、そのプログラム可能インターフェース 601 の PDPS 回路上のマルチプレクサ 300 に対する前記モジュールによる指令の転送を可能にする。更に、回路網 102-4 は、通常のモジュールからの信号を選択する 2 位置のセレクタ・スイッチ 102-2 に信号を見る。この状態は、マルチプレクサ 300 が PIR 回路を 2 進数 1 に強制する事により指令を受け入れる用意がある事を SIU 100 に対して信号する時に生じる。同様に、回路網 102-4 は APC 回路を 2 進数 1 に強制してマルチプレクサ 300 に対し PDPS に見える指令を受け入れる事を信号する。プロセッサ 200 がマルチプレクサ 300 に対してプログラム可能インターフェース (PI) 指令を送る命令を実行する時、プロセッサ 200 は指令のビット 3 にプロセッサ番号の識別を置く。マルチプレクサ 300 は、プロセッサ番号が前述の如く割込みデータの一環として含まれる割込み要求を具

る事を欲する送指令に含まれるプロセッサ番号を記憶する。PI 指令がマルチプレクサ300に到達される時、リクエストとしてプロセッサ200を識別する送指令はマルチプレクサ300(ポートA)に到達するレジスタ102-6に記憶される。前述の如く、マルチプレクサ300がSIU100に対する読出しデータ転送要求を生じる事により応答する時、レジスタ102-6の内容はデータを受取るための装置のモジュールとしてプロセッサ200を識別するのに使われる。

通常の機能がデータ信号をマルチプレクサ300に転送するために使用される。第1図においては、メモリー・モジュール500は、データをマルチプレクサ300に転送する唯一のモジュールである。このような転送は、前述の如く回路網102-70を介してマルチプレクサ300によりメモリー・モジュール500に到達される読出しメモリー指令(ZAC)に宛答して生じる。マルチプレクサ300が指令を認識する時、SIU100は、マルチプレクサ300から受取るマルチポー

ト識別子情報に宛答する適当な4ビットのリクエスト識別コード(場合コード)を生じる。この情報は、メモリー・モジュール500により記憶され、モジュール500が読出しデータ転送要求を生じる時SIU100に送られて、マルチプレクサ300がデータを受取る。又、SIU100が要求を受入れる時、これは回路網ARDAを2進数1に強制する事によりマルチプレクサ300に伝送する。

読出しデータ転送要求(RDTR)回路は、メモリー・モジュール500によりコントラされる時、回路網102-14に対して1操作サイクルの間読出された情報を転送する機能がある事を信号する。局用メモリー・モジュール500は又、信号をメモリーからのリクエスト識別子(RIFM)回路に与えて、情報が転送されるべき要求部のモジュールを識別する。

更に、デコード回路網102-14内蔵の回路網はRIFM 回路に与えられた識別信号を復号し、局用メモリー・モジュール500が情報をマルチ

プレクサ300に転送する機能がある(マルチプレクサ300は情報を受取る機能があるものとする)事を信号が表示する時、デコード回路網102-14は適当な信号をセレクタ・スイッチ102-12およびゲート回路網102-16内蔵の回路網に与える。

更に、デコード回路網102-14はデータ・インターフェースの読出しデータ受入れ(ARDA)回路に信号を与えて、マルチプレクサ300に対してこれがそのインターフェース600のSIU(DFS)回路からのデータを受入れる事を信号する。ブロック102-16の回路網はSIUからのマルチポート識別子(MIFS) 信号に対して適当なマルチポート識別子情報を与えて、RIFM回路から与えられる要求部のサブチャンネルを識別する。転送が生じると、回路網102-14はRDAA回路を2進数1に強制して、データがメモリー・モジュール500により受入れられた事を要求部のモジュールに信号する。

回路網102-14に強制した構成をSIU100

に用いて第1部のモジュールのどれかからのPI 指令およびメモリー指令を局用メモリー・モジュール500に転送する。モジュール500は、プログラム可能インターフェース又はメモリー指令のいずれかを受入れる機能のある時、デコード回路網102-20に与えられるプログラム可能インターフェース要求(PIR) 回路又はZACインターフェース要求(ZIR) 回路のいずれかを2進数1に強制するように作用する。更に、プロセッサ200、プロセッサ700およびマルチプレクサ300は、回路網102-70の信号を活動出力ポート要求(AOPR)に、又活動データをその々のデータ・インターフェースのSIU回路に与える。回路網102-70は、各モジュールにより与えられる送受信情報の復号と同時に、メモリー・モジュールのデータ・インターフェース600のPI SIUデータ転送回路に対して信号を最優先順位を有するモジュールに与えさせるための3位重のセレクタ・スイッチ102-74に適当な信号を生じるよう作用する。又、ゲート回路網102-26

を介してメモリー・モジュール・インターフェース603のメモリー要求識別子(RITM)回路上の適當なリクエスト識別信号と共に、プログラム可能指令受入れ(APC)回路又はZAC指令モード受入れ(AZC)回路のいずれかに対して回路端102-20が信号を伝える事も判らう。

最後の2つの回路端102-30および102-40は、それぞれプロセッサ200により順次生成されたメモリー指令およびPI指令に基いて、メモリー・データおよびプログラム可能インターフェース・データをプロセッサ200に対して伝送するために使用される。第3図から判るように、優先順位デコーダ回路端102-30は、回路端102-14と同じ入力回路を有し、同じ方式で第3図のデータ・セレクト・スイッチ102-32と4位置セレクト・スイッチ101-20を介して要求されたメモリー・データをプロセッサ200に伝送するよう作動する。プロセッサ200は同時に1つの指令を処理するため、プロセッサ要求に基いてプロセッサのDFS回路に伝送するた

めにデータをセレクト・スイッチ101-20に与えるモジュール間には競合が生じない事が判らう。即ち、プロセッサ200が第1図のモジュールの1つに指令を送つた後、その指令は実行されて要求されたデータの受取りを待受する。SIU100は、プロセッサの要求の受入れと同時に、プロセッサに運送動作を管理するプロセッサのARA回路を制御する。

別の回路端102-40は、PI指令に基いてモジュールからの戻りデータ要求を処理する。回路端102-40は、指示しないでのモジュールのレジスタと共にレジスタ102-6からRDRH回路に与えられる信号を処理する。モジュールが要求されたデータをプロセッサ200に送るうとしている第1図、マルチプレクサ300のレジスタ102-6に記憶されたリクエスト識別子をSIU100が検出する時、回路端102-40は、プロセッサ200に対して要求されたデータを戻さうとするモジュールのPIインターフェースのPDTS回路からの信号を伝えるよう3位置データ・

セレクト回路102-42を条件付ける信号を生じる。これら信号は、更に、モジュール要求信号により条件付けられる第3図のセレクト・スイッチ101-20を介してプロセッサのDFS回路に与えられる。次の動作サイクルの間、回路端102-40はRDAA回路を2進数1に強制し、PDTS回路に与えられたデータが受入れられた事およびモジュールがこの時どのようなデータを検出(その出力レジスタをクリア)できる事をモジュールに対して信号する。このように、スイッチ101-20は3つのタイプのデータのどれでもプロセッサのデータ・インターフェース600のDFS回路に自動的に与える事が判る。

本発明の目的のために、第3図の各ブロックに内蔵される回路端は、概略上は公知と考えられ、テキサス・インストルメンツ社の前記文献に見られる物理回路を省いてもよい。又、本発明の目的のために、第4図回路端は公知のクロスバー・スイッチでもよい。

高速マルチプレクサ300

共通セクション

第4図は更に詳細に共通セクション301とチャンネル・アダプタ・セクション302の一部を示す。第4図において、共通制御セクションは、2位置データ・セレクト・スイッチ301-1を経てマルチプレクサのプログラム可能インターフェース601のPDFS回路を介して受取ったPI指令のワードを記憶するための1桁のレジスタ301-2と301-5を含んでいる事が判る。スイッチ301-1は、別の回路(即ちDFS回路)からのPI指令信号をレジスタ301-2と301-5にロードさせる。然し、望ましい実用環境においては、PDFS回路のみを使用する。又、レジスタ301-4はドライバ回路301-3を介してインターフェース600のマルチプレクサ・データのDFS回路に与えられたメモリー・データを受取る事も判る。

当レジスタ301-2と301-5から共通信号は、ブロック301-8のドライバ回路を介

して4つのチャンネル・アダプタ・セクションの2位データ・アダプタ・スイッチ301-6を経て選択的に与えられる。又、指令信号は、2位データ・セレクタ・スイッチ301-42を介して8位データ・セレクタ・スイッチ301-20の1位目に選択的に与えられる。同じスイッチ301-42も又、レジスタ301-40からブロック301-43のドライバ回路を介して4チャンネル・アダプタ・セクションの各々にデータ信号を与える。

1次のパリティ検査回路301-45と301-49は、レジスタ301-2と301-5と301-40の各々に対する検査を行い、その結果を表す信号をCスイッチ301-50に与えられる状況信号を生じるブロック301-4の論理回路に与える。これ等の回路は構造上は公知の論理回路を含み、この回路はレジスタ301-2からの信号をチャンネル・アダプタ・セクションからの信号と合成して、プロセッサ200から受取る指令を実行するのに必要な制御信号を生成する。

14ビットの読み込みデータ(IDA)レジスタ301-22に選択的に接続される。ブロック301-12の24ビット・レベル・レジスタの各々のグループのビット位置は、8位データのマルチプレクサ選択スイッチ301-26乃至301-28の別の1つに対応する位置に与えられる。又、ブロック301-12の各レベル・レジスタは、4位データ・セレクタ・スイッチ301-30と8位データ・セレクタ・スイッチ301-32の異なる位置に接続する事も出来るであろう。又、ブロック301-14の8ビット・マスク・レジスタの各々は、4×8セレクタ・スイッチ301-32の異なる位置と、ブロック301-34の読み込み制御優先順位およびタイプ制御回路に接続する事も出来る。

図4又から見るように、ブロック301-34の回路は、チャンネル・アダプタに提供されたコントローラ・アダプタにより与えられる読み込み信号の時に、チャンネル・アダプタから読み込み要求信号を受取る。更に、各チャンネルは4つの異なるタイプの読み込み要求を生成する。

更に、レジスタ301-5からの信号は、ブロック301-8、301-15および301-16のドライバ回路を経てブロック301-10、301-12および301-14の複数のレジスタの選択された1つにロードし込む。ブロック301-10は、構造上は公知であり、前記のキャス・インストールメンツ社の文献(例、T17481)に開示されたレジスタ制御を取り巻く4つの8ビット・レジスタからなる。これ等レジスタの各々からの出力信号は、4位データ・セレクタ・スイッチ301-30と8位データ・セレクタ・スイッチ301-32からの対応する信号と共に、セレクタ・スイッチ301-20の読み込み位置に対して入力として選択的に与える事ができる。チャンネル・アダプタ・セクションのICB、レベルおよびマスク・レジスタの内容は、PI指令に依存してテストおよび検査動作の實施中に読出す事ができる。

更に、ブロック301-10の読み込み制御ブロック・レジスタは、読み込みレベル優先順位回路301-24により生成された信号に応じて

これは、開示しない奇奇状況レジスタ内のパリティ・エラー・インジケータ・ビットのセットイングにより生じる読取読み込みを含み、前記レジスタは、ブロック301-4の一環、データ制御ワード(DCW)読み込み、プログラム可能読み込み、および読取指令等の読出により生じる例外読み込みとして考える事ができる。読取読み込みは、4つの全てのチャンネルに対して同じであるブロック301-34に対して1つの入力を有するよう各チャンネルに共通とされている。

各コントローラ・アダプタも又、アダプタに接続された装置のタイプに依存する4つの異なるタイプの読み込み要求を生じる。ディスク装置の場合に、読み込み要求のタイプは下記のものを含む。即ち、パリティ・エラーの読出により生じる読取読み込み、回転位置を制御する読み込み、データ読取終了読み込み、およびシーク操作の追加オフ・ライン操作の完了により生じるオフ・ライン読み込みである。この4タイプのチャンネル読み込み要求および4タイプのCA読み込み要求は、一緒に信号EVO

乃至 EV7 と表わされる CA チャンネル毎に 8 タイプのグループを有する。各タイプの組込み要求は、4つのチャンネル・タイプの組込み要求が EV0 ~ EV3 に対応する 0 ~ 3 の番号を付し、4つのコントローラ・アダプタ・タイプの組込み要求が EV4 ~ EV7 に対応する 4 ~ 7 の番号を付されるように 3 ビット・タイプの番号が割当てられている。最下位のモードを有する番号は、最優先順位を有する（例えば、000 = 最優先順位 = EV0 = 海軍組込み、111 = 最優先順位・タイプ = EV7 = マフ・ライン組込み）、高なるタイプの組込み要求の優先順位は決定され、タイプ番号により決定される。各チャンネルは、ブロック 301-4 により与えられる共同海軍入力と共に、ブロック 301-34 に対する 7 つの組込み要求入力を有する。

ブロック 301-34 内の第 3 部は、ブロック 301-14 のマスク・レジスタの各々からの信号を、各チャンネルおよびアダプタからの組込み要求信号と論理的に合成し、各チャンネルに対す

る最優先順位を有する組込み・タイプを選択する。各チャンネルに対する 3 ビットのタイプ・モードは、マルチプレクサのマルチ・アドレス 301-25 の至る 301-29 の対応する 1 つに与えられる。ブロック 301-34 により生成されたタイプ・モードの組込み、4 位置のレベル・タイプ・マルチ・スイッチ 301-35 の位置で決定する 6 つに対して入力として与えられる。

各マルチプレクサ回路 301-25 の至る 301-29 は、ブロック 301-34 の海軍組込みにより使用可能にさせられるとすると、組込みレベル優先順位回路 301-24 に対する入力として過剰な 3 ビットのレベル・モードを有する。回路 301-24 は 1 桁の回路に信号を主じ、この回路は、ブロック 301-10 の ICB レジスタ 4 に対する制御入力として、スイッチ 301-35 と、4 桁の組込みマルチポート識別子 INID スイッチ 301-36 を接続する。回路 301-24 により生成された信号は、最優先順位を有するチャンネル又はポートを表示する。1 つ以上のチャ

ンネルが同じ優先順位を有する場合には、回路 301-24 の第 3 部は最下位のチャンネル番号を割当てられたチャンネルを選択する（即ち、CA0 = 00XX = 最優先順位、CA3 = 11XX = 最下位番号）。コントローラ・アダプタがサブ・チャンネル又はサブポートを有する場合、CA1 からの 1 桁の信号はスイッチ 301-36 の下位の 2 ビット位置に信号を有する。スイッチの上位の 2 ビット位置は、対応するチャンネル・アダプタ番号（例えば、00 = CA0、等）を優先的に有する。スイッチ 301-36 の出力は、第 4 部に表示される。INID レジスタ 301-23 に与えられる。

ブロック 301-10 の選択された ICB レジスタからの出力信号、選択されたマルチプレクサ回路からのレベル信号、およびブロック 301-34 からのタイプ信号は、IDA レジスタ 301-27 内で合成される。又、これらの信号は、レジスタ 301-22 に記憶される信号に対する 1 桁の回路パリティ・ビットを生成するブロック 301-

37 のパリティ発生回路に与えられる。レジスタ 301-22 の一桁と与えられる他のフリップフロップ 301-21 は、ブロック 301-34 の第 3 部から信号を受取り、組込み要求の存在を表示する。

第 4 図から明るように、ビット・レジスタ 301-40 に記憶されるデータ信号は、2 位置データ・セレクタ・スイッチ 301-42 の H レジスタ位置を介して 2 桁のチャンネル組込み (CW) スイッチ 301-44 に与えられる。スイッチ 301-44 の第 1 の位置は、セットされる時、ブロック 301-48 の優先順位選択制御回路により生成される信号に寄って選択された 4 グループのチャンネル・アダプタ・ポート・レジスタ 301-46 の 1 つをロードする。レジスタ 301-2 と 301-48 および表示したチャンネル・アダプタからの信号を受取るブロック 301-48 の第 3 部は、出力信号を識別および出力レジスタ 301-45 に与える。グループ 301-46 のレジスタは、関連するポートのリスト・ポイン

ワード(LPW)を記憶するための40ビット・レジスタと、格出し又は記憶されるべきデータのアドレスを記憶するための40ビットのDAレジスタと、現行データ転送操作に関するエラーおよび制御情報を記憶するための40ビットのレジスタDTを含む。4つのチャンネル・アダプタ・セクションの各レジスタは、ブロック301-48の制御部から制御信号を受取る4つのデータ・セレクタ・スイッチ301-50の各なる位置に接続する。スイッチ301-50からの制御信号は、エラーを区別して内容を転送するための作用するパリティ検査回路301-56に加えて、1つの双重回路301-52と301-54に与えられる。双重回路301-52はスイッチ301-50を介して選択されるレジスタの内容を更新するよう作用するが、双重回路301-54はデータ信号をパリティ検査回路301-58に与える。回路301-52と301-58からの信号は、スイッチ301-44の更新回路制御信号を介して選択されたレジスタに与えられる。

各信号、PIデータ信号およびチャンネル・アダプタ・データ信号を記憶する。これらのレジスタからの出力信号は、マルチプレクサのデータ・インターフェース600のDTS回路又はマルチプレクサ・インターフェース601のPDTS回路のいずれかに与えられる。ブロック301-64のZACレジスタがロードされる時、この状態はAOPRトリップフロップ301-65を2進数1に切換えさせて、マルチプレクサはメモリ・(ZAC)信号およびデータの転送が可能な状態を要求している事をSIU100に信号する。スイッチ301-50を介して与えられる最適なメモリ・転送情報はレジスタ301-60に記憶され、パリティ検査回路301-66は検出情報のための新設パリティを発生するよう作用する。

作用例

本発明のシステムの作用については、第1図乃至第11図を参照して以下に説明する。簡単に説明すれば、モジュール500は、以下の如く構成される5つの異なるタイプのZAC指令の処理が可能

である。図4図から明らかなように、スイッチ301-50の出力信号は、検出スイッチ301-50を介して8ビットの検出レジスタ301-60と、DTスイッチ301-70に与えて選択的に与えられる。データ・セレクタ・スイッチ301-50と301-61の各々は、前述のソースに与えるチャンネル・アダプタ・セクションCA0~CA3のDF回路からデータ信号を受取るように接続されるDTスイッチ301-70から出力信号を受取る。DTスイッチ301-70とZACスイッチ301-61からの出力信号は、パリティ検査回路301-62とブロック301-64のレジスタ・バンクに与えられる。更に、スイッチ301-61は、マルチプレクサ300が本発明と関連のないモードで動作される時、ブロック301-44に与えられるチャンネル・アダプタ・サービス回路から与えられるゾーンおよび指令情報を受取るよう接続されている。それぞれZAC、PDTS、データ1、データ2と表示されるブロック301-64の4つのレジスタは、メモリ・指

である。即ち、

1. 格出し・格納指令

アドレス指定されたメモリ・ロケーションの内容(1ワード)が格納されてリクエストに与えられる。メモリ・内容は変更されない。ZACビット0はカッセンがロードされるかバイパスされるかを検出する。もしこのブロックが既にカッセン内でロードされていれば、格出し・サイクルがカッセン内で行われ情報がカッセンから取出される。

2. 格出し・クリア指令

アドレス指定されたメモリ・ロケーションの内容(1ワード)が格納されてリクエストに与えられる。メモリ・の場所(1ワード)は真正なパリティ(即ちEDAC)ビットで常にクリアされる。アドレス指定されたワードを含むデータ・ブロックはカッセンにロードされない。もしこのブロックが既にカッセンに於いてロードされていれば、アドレス指定されたワードも又カッセン内で常にクリアされる。

3. 読出し用指令

メモリー・場所(2ワード)のアドレス指定された時の内容が読出されてリクエスト・ワードに返送される。メモリー・内容は変更されない。ZACビット9は、カッシーニがコードされるかパイパスされるかを決定する。然し、もしこのブロックが既にカッシーニ内でコードされていれば、読出し・サイクルがカッシーニ内で行われ、増幅がカッシーニから取出される。

4. 書き込み用指令

リクエストにより与えられるデータ・ワードの1乃至4バイトはアドレス指定されたメモリー・場所に記憶される。記憶されるべきバイトはゾーン・ビットで指定される。ゾーン・ビット5、6、7および8はそれぞれバイト0、1、2および3を制御する。記憶されないバイト位置のメモリー・内容は変更されずに止まる。

5. 書き込み用指令

リクエストにより与えられる2つのデータ・ワードは、アドレス指定された時のメモリー・場所

に記憶される。

最たるZAC指令に対する特定のコードは下記の如くである。他の可能な11のコードが適宜として決定され、本文に述べるようにエラー・信号を生じる。

指令	ゾーン	カッシーニパイパスビット	
1 2 3 4	5 6 7 8	9	
0 0 0 0	0 0 0 0	1/0	読出し用
0 0 1 0	0 0 0 0	-	読出し・クリア用
0 1 0 0	0 0 0 0	1/0	読出し用
1 0 0 0	1 0 0 0	-	書き込み(ゾーン化)
1 1 0 0	1 1 1 1	-	書き込み用

例えば、対P0のプロセサ200の一方が局外メモリー・モジュール500の照合を指定する一連のプログラム命令の実行を開始するよう作用するものとしよう。この場合、最初の命令と次の命令は、増幅値を記憶する汎用レジスタを指定する少なくとも1つのフィールドとアドレス・シラブルを含む別のフィールドを含むように書式化される。汎用レジ

スタの増幅値の内容は、2増幅値にセットされたものと保存されるパイパス・ビット9の状態を決定する。プロセサ200はこの情報を合成して絶対アドレスを生じる。

絶対アドレスが一たん計算されると、プロセサ200は、所要のメモリー・指令ワードと、局外メモリー・モジュール500に対して指令を指問するための適当なSIL・換間情報を生じる。この換間情報と指令は、図9図に示すフォーマットを有する。

前述の事について更に詳細に考察すれば、各命令のOPコードは、ZAC指令の生成により導かれるメモリー・命令性を指定するよう符号化される。第1の命令のOPコードは、命令レジスタ・スイッチ202-4によりメモリー・場所の1つを照合させるメモリー・201-2に与えられる。場所の内容は、レジスタ201-4に送達され、命令処理に必要なマイクロ命令・シーケンスの制御スタ201-1における記憶アドレスを指定する1対のアドレスを含む。

現行命令の実行中に開始する命令処理の最初の増幅の間、次の命令の増幅ビットは、スイッチ203-14の位置3(即ち、Lev. NR1)を介してスクラッチパッド・メモリー・203-10の汎用レジスタの場所の指定された1つをアドレス指定するために使用される。この場所の内容はパンファ203-16に排出される。

増幅レジスタの内容は、スイッチ203-20の位置0を介して加重回路204-2のAオペランド入力に与えられ、命令の定数フィールドはスイッチ204-1の位置0を介して加重回路204-2のBオペランド入力に与えられる。この2つで一様に加重され、その結果はスイッチ204-8を介して作数レジスタR2に転送される。指定された増幅の第2のレベルが存在する時、第2の汎用レジスタの場所に記憶された増幅をレジスタR2における前に記憶された増幅に加重する同様な操作が行われる。ビット9に対する適当な数値が、第1の汎用レジスタにおけるよりも第2の汎用レジスタにおいて記憶される事が容易に判る

である。

命令の実行時の間、プロセッサ200は、印出し動作を指示する局用メモリ500に対してZAC指令を生成するよう作動し、メモリ204-4又はR2レジスタのいずれかから与えられる番地なメモリ・アドレスを返る。絶対アドレスを返すならば、レジスタR2からのアドレスはWRPバスに与えられ、アドレス・スイッチ204-6およびクロス・バー・スイッチ204-8のR/W位置を介してデータ・アウト・レジスタ204-14にコードされる。

絶対スイッチ204-10は、メモリの動作サイクルに対してSIU動作時間を与える。信号は第9図のフォーマットを有し、R/W指令を局用メモリ・モジュール500又は、モジュール500が接続するポートLMOに転送するためSIU100により使用される情報を与える。これはマイクロプログラムの制御下にあつて、レジスタ201-15から、交換用スイッチ204-10のR/W位置を介してアドレス・スイッチ204

1-5から時間レジスタ204-16のビット位置7-8にコードされる。

マイクロ命令フィールドの符号化、および時間情報の生成に関するこれ以上の詳細については、「バス・タイミング・システム」とおよび「メモリ・アクセス・システム」なる名称の係属中の特許出願を参照されたい。

高レジスタ204-4と204-16のコーディングに就いて、プロセッサ200はAOPR回路を2進数1に強制し、この状態がR/W指令を局用メモリ・モジュール500に転送するための情報・ケルンスを生成する。又、プロセッサ200は命令カウンタ(IC)を増分し、その結果を作動レジスタR3に記憶する。次にプロセッサ200は、ARA回路を介して要求の受入れを表示するSIU100から信号を受取る迄次のマイクロ命令の実行を遅延させる。

SIU100は、1回のSIUサイクル、即ちデータ・サイクルが経くアドレス/指令サイクルを要求する如くR/W指令を噴出する。局用メモリ

モジュール500が指令の受取りの用意があるものとすれば、ZIR回路は2進数1である(第11図において、字形は負の論理信号の形勢で示される)。第3b図のSIU信号状態図回路102-4は、SIUセレクト・スイッチを介して指令ワードを動作サイクルの間局用メモリ・インターフェース602のDTM回路に押し入れるよう作動する。プロセッサ200は、SIU100がARA回路を2進数1に強制する迄、データ・アウト・レジスタ204-14に情報を保持して待機する。同時に、SIU100はAZC回路を2進数1に切換えて、R/W指令の受入れをモジュール500に対して信号する(第11図参照)。

ARA回路における状態つで他の噴出と互換に、プロセッサ200はマイクロ命令の制御下で命令の処理を完了する。即ち、プロセッサ200は、要求されたデータ・ワードが前述の如くSIU100から受取られる迄待機する。

ここで、メモリ指令は印出し動作を指示するよう符号化され、バイパス・ビット9はカッ

スエ500-20がバイパスされないがロードされる(即ち、ビット9=0)事を指示するよう符号化されるものとする。前述の如く、ビット9の状態は印出し指令および押し戻指令の場合にカッスエ500-20のローディングを制御する。

第11図および第7図においては、ZAC指令ワードの指令およびアドレス・データが、時間1T(即ち、システム・クロック・パルス1Tが2進数1から2進数2に切れる時の後縁)におけるAZC回路からの信号AZC100に正答してZACレジスタ500-120にロードされる事が判る。ZACレジスタ500-120に記憶されるDTM信号17-30からのアドレス信号は、第7図に示す如く、発給用記憶装置500-22と発給用比較回路500-24に対して入力として与えられる。

更に、DTM回路26-32に与えられるアドレス信号は発給用記憶装置500-22をアドレス指定するためのブロンク・アドレスとして使用され、回路DTM17-17に与えられるアドレス信

是、全量データ読み込み時の場合に全量記憶装置 500-22に送られる信号に相当する。全量記憶回路 500-24に与えられる同じアドレス信号は、データブロックが既にキャッシュ 500-20に存在するかどうかを判定するために使用される。

又、回路 DTM17-53に与えられるアドレス信号は、データがキャッシュ 500-20に存在する事が見出されない時これからのデータのブロックから抽出された補助記憶装置 500-40に与えられる事も出来るであろう。

第 11 図から、全量記憶装置 500-22の信号がもし要求された情報が既にキャッシュ 500-20に記憶されていたかどうかを判定するため、即時開始される事が判る。この判定動作は、クロック・パルス 1Tと2Tの間隔において行われる。この事例では、プロセッサ 200により要求される情報は全くキャッシュ 500-20に存在しないものと仮定する。

第 8 図においては、ブロック 500-6の回路

信号 RDLOAD100 を 2 進数 1 に強制する。

信号 RRR100 と HIT000 はゲート 500-460 を介して出力しは未使用信号 RD/MISS000 を 2 進数 0 に強制する。これは、ゲート 500-462 をして補助記憶装置の指令信号 BSCMD100 を 2 進数 1 に強制する。読出し指令が有効である（即ち、適正なコードおよびフォーマット）を仮定すると、信号 TCERROR000 は 2 進数 1 である。従つて、補助記憶装置のタイミング信号 SLO4T/ASLO2T100 の発生と同時に、ゲート 500-464 は補助記憶装置の要求信号 BSREQ100 を、タイミング・パルス 1Tと2T（第 11 図参照）の両時間区において 2 進数 1 に強制するよう作用する。これは補助記憶装置 500-40 に対してメモリー・操作サイクルの開始を信号する。

このような要求に基き、補助記憶装置 500-40 は出力パルス 500-42 に対する 160 ピコ秒のデータを送信するように作用する。このデータは、第 11 図に示す如くタイミング・パルス

信号 ZAC 信号のビット 1-4 が 2 進数 0 を得る事が判る。ビット 1-4 と 9 が全て 2 進数 0 であるため、信号 RCL000 と WR000 は両方共に 2 進数 1 である。従つて、ゲート 500-61 は信号 RRR100 を 2 進数 1 に強制して出力し、指令の存在を表示する。この信号は、ゲート 500-62 と 500-460 に対する入力として与えられる。

バイパス・ビット 9 の状態の値を表示するゲート 500-62 に与えられる NOLOAD000 信号が 2 進数 1 である事が判る。信号 LNE/DE000 は全量、局部メモリー・エラー又は全量エラーがない時 2 進数 1 である。要求されている情報がキャッシュ 500-20 にないものと仮定するため、信号 HIT000 と HITREQ100 はそれぞれ 2 進数 1 と 2 進数 0 に対応する（即ち、ビット出力なし）。補助記憶装置のタイミング信号 BST8000 は、ゲート 500-68 をして信号 RDLD100 を 2 進数 1 に強制させるタイミング・パルス 8 の間、2 進数 0 である。従つて、ゲート 500-62 は

T7 の発生に先立つて回路 500-44 の出力端で適正な形態で生じる。クロック回路 500-48 からの補助タイミング信号 BS8T100 の発生と同時に、信号 RDLOAD100 はゲート 500-260 をして読み込み全量信号 WRDIR000 を 2 進数 0 に強制させる。これは、更に、全量クリア信号 DRCLR000 が 2 進数 1 である時、使用可能全量読み込み信号 ENABDIRWR100 を 2 進数 1 に強制させる。この信号は、全量記憶装置 500-22 がクリアされている時を除いて 2 進数 1 である（クリア動作に関しては米国特許第 3,845,474 号参照）。

第 11 図から判るように、全量クロック信号 CLKDIR100 の発生と同時に、ゲート 500-264 は読み込み全量信号 WRDIR100 を 2 進数 1 に強制する。

信号 WRDIR100 は、全量読み込みゲート回路 500-266 に適当なタイミング信号を各全量レベルの回路に対して与えさせる。これは、全量記憶装置 500-22 の回路 DTM17-25

に与えられたアドレス信号を、回路DTM26~31を介して与えられたアドレス信号により指定される場所に書きこめる。

第11図から、同じ時間間隔において補助記憶装置500-40から送出された最初の80ビットがカッシーニ500-20に書き込まれる事が判るであろう。更に、カッシーニの書き込み可能回路500-214は、第11図から判るように、タイミング・パルス8Tと10Tの間書き込みカッシーニ信号WRCACHE100により動作せられる。即ち、信号MISS100は、「ヒット」の等しい場合には2進数1である。補助記憶装置500-46からのタイミング信号BST10101はタイミング・パルス10Tの間は2進数1である。従つて、ゲート500-68は、補助記憶装置信号T8000が2進数零の時のタイミング・パルスT8、および信号LDSCND80000が2進数零の時のタイミング・パルスT10の間、信号RDLD100を2進数1に強制する。

ゲート500-62は信号RDLOAD100を2進

数により指定されるコラムに書き込まれる。この時、アドレス・ビット32は2進数零である。タイミング・パルスT10の前にアドレス・ビット32は書き込まれ、タイミング・パルスT10の前にレジスタ500-42に書き込まれる上位の80ビットはスイッチ500-8を介して与えられてカッシーニ500-20に書き込まれる。アドレス・ビット32の次は、データブロックに対応する全160ビットをカッシーニ500-20に書きこめるように、回路500-216乃至500-222により動作される。

これは、補助記憶装置の制御回路500-46からの下位の80ビット信号LWRB0100の動作動作により行われる。更に、信号LWRB0100が2進数1（下位80ビットを書き込み）である時、ゲート500-218は信号RDLDIV80000を2進数1に強制する。ゲート500-222は、アドレス信号CAADDR32100をしてZACレジスタ500-120に記憶された状態アドレス信号をとらざる。即ち、アドレス・ビット32が2進

特開 昭53-84632(32)

数1に強制し、これが更にゲート500-74をして信号RDLOAD000を2進数零に強制させる。従つて、ゲート500-210は、時間間隔8Tと10Tの間書き込みカッシーニ信号WRCACHE100を2進数1に強制する。このように、第11図から判るように、カッシーニ・タイミング信号CLK141の発生と同時に、書き込みカッシーニ信号WRCACHE100を2進数1に強制するように作用する。これが送出し指令であるから、信号WRLOAD000が出現できる（即ち、2進数1）事が判るであろう。

書き込み全記憶信号WRDIR100と同時に、書き込みカッシーニ信号WRCACHE100はカッシーニ書き込み可能回路500-214を動作させて、各カッシーニ・セクションに与えられるタイミング信号を生じる。

タイミング・パルスT8の間、信号RD00~RD71およびPDP0~P7に対応する最初の80ビットは、入力スイッチ500-8を介して与えられて回路DTM26~31に与えられるアドレス信

号1の時、信号CAADDR32100は2進数1である。然し、信号LWRB0100が2進数零（上位80ビットを書き込み）に強制される時、信号RDLDIV80000は2進数零に強制される。この時、アドレス信号CAADDR32100は2進数零に強制される。

データは出力スイッチ500-10に対して入力として与えられる。出力スイッチ500-10は、信号HITREG100とBSRD100に等価してゲート500-468により2進数1に強制される使用可能信号ENABBSDATA100により使用可能の状態にされる。更に、回路500-6は、160ビットのどのワードがプロセッサ200に対して伝送されるか決定するためのスイッチ500-100に対して適切な選択信号を与える。選択信号は、ZACレジスタ500-120に記憶されるアドレス信号32と33を輸出する事により得られる。データは、第11図に示されるようにタイミング・パルスT10の間DFM 回路に与えられる。

メモリ・モジュール500は回路RDTR

を2進数1に強制するよう作用して、2進数1に強制されたARDAにより送信されるデータ経路の確保に依りてプロセッサ200がデータを受入れた時、ZAC指令により前に要求されたデータが使用された事をSIU100に対して伝達し、SIU100はRDAA指令を2進数1に強制する。この状態は、データが受け入れられた事およびこのデータをDFM回路から読み取れる事を要求メモリ・レジスタ500に対して伝達する。

第11図から、要求された補助記憶装置のデータがプロセッサ200に前送りされる時、要求されたデータにより読み取れるデータのブロックも又、パイパス・ビット9が2進数零にセットされた時はカノン・ビット500-20に書き込まれつつある事が判るであろう。

第11図から判るように、全160ビットは、次のメモリの操作サイクルの開始に先立つてカノン・ビット500-20に書き込まれる。

プロセッサ200により要求される情報がカノン・ビット500-20に存在する登録部に収め（即ちビット

11の場合に、信号HT000は2進数零となるであろう事が判るであろう。この信号は、図500-46が補助記憶装置の要求信号BSREQ100を2進数1に切替える事を禁止するよう作用する。同時に、信号HITREQ100は、信号MISS100を2進数零に強制する2進数1である。

従つて、信号RDLOAD100は2進数零の状態を維持する。これは、パイパス・ビット8の値、先読み書き込み可能信号ENABDIRWR100およびカノン・書き込み信号WRCACHE100が2進数1に強制せられるようにする。3つのデータ経路の通常のカノン・ビット500-6により動作が行われる時、カノン・ビット500-20から読み取れるデータ・ワードはスイッチ500-10およびDFM回路を介してSIU100に与えられる。前述の方法により、データ・ワードはプロセッサ200に前送りされる。

前述の動作においては、読み出しメモリ・指令はパイパス・ビット9を2進数零にセットさせた。ある場合には、プロセッサ200は、要求する情報

がカノン・ビット500-20に書き込まれない事を必要とする事が判るであろう。この事例は、データ制御ワードをアクセスするため、プロセッサ200が補助記憶装置500-40に記憶されたリストポイント・ワード（LPW）からの読み出しのためのメモリ・指令を生成する場合である。

前記の事を考慮する前に最初第6図を参照された。第6図は、プログラム形態でLPWおよびDCWを含むテーブルおよびリストを示している。簡単に言えば、この情報は周辺装置指令の実行に必要とされるものである。命令DCWを呼び出した周辺装置指令はIDCWテーブルに記憶される。このテーブルは、先読みメモリ・500に記憶される情報に基づいて作成されるDCWのリストを記憶するもの（テーブル）に等しい。各IDCWは、操作タイプ、読み出し、書き込み、リンク等を指定するビットの操作コードと、指定のデータを指定するビットの操作コードを含んでゐる。各DCWは2つのワード（即ちその第1は制御情報を含みその第2のものはワード・アドレス

を含む）を有する。第10図はこの2ワードのフォーマットを示している。LPWのフォーマットも第10図に示されている。

同図から、各LPWと各DCWのアドレスが、前述の如くメモリ・指令の生成の間カノン・ビット9の状態をセットするための、プロセッサ200又はマルチプレクサ500により使用できるビット（即ち、ビット9およびビット45）を含む事が判る。

例えば、プロセッサ200-0は次に指定のDCWリスト内のエントリをアクセスするためのメモリ・指令を生成するものとする。第6図から判るように、プロセッサ200-0は最初IDCWテーブルの1つからLPWアドレスを生成せねばならない。実行されるべきメモリ・指令命令は2つの情報値を含む。最初の情報値は、指定のIDCWテーブルの書き込みアドレスを記憶する汎用レジスタを指定するよう指示化される。第2の情報値は、IDCWテーブル内の指定のLPWを有するもののエントリ番号である汎用レジスタを指定するよ

う二重化されている。

指揮線の1つはビット9を2進数1にセットさせる事が判るであろう。プロセッサ200-0は、補助記憶装置500-40から取出されるLPWがカシエ500-20に書き込まれる事を欲しないため、ビット9の状態を変化させない。前述の方法により、マイクロプログラムの制御下では、プロセッサ200-0は、ビット9が2進数1である判のZAC 送出しメモリー指令を生成するよう作用する。再び、ZAC指令および適切な命令情報は、それぞれデータ・ワード・アドレス4204-14と命令レジスタ704-16にロードされる。

SIU100は、ZAC指令を命令メモリー・モジュール500に転送するよう作用する。第7図および第9図においては、ZAC指令およびアドレスがZAC レジスタ500-120に記憶され、その処理される事が判る。メモリー指令が送出し命令であるため、回路DTM01乃至DTM04に与えられた信号は2進数である。従つて、信号RR100は再び2進数1に強制される。然し、

をしてカシエ書き込み信号WRCACHE100を2進数0に維持させ、このためタイミング信号WRCACHE100の回路500-214に対する出力を禁止する。従つて、カシエ書き込み回路500-214は使用可能にならず、このためカシエ書き込み操作は生じない。

電源記憶装置500-26はカシエ・バイパス・ビット9が2進数1である事案にも拘わらず空転として現れる事が判るであろう。もう一つ、もし「ヒット」が検出されると、指定されたデータ・ワードはカシエ500-20から取出されてプロセッサ200に転送される。

「ミス(miss)」の場合には、第9図から判るように、ゲート500-464が補助記憶装置の要求信号BSREQ100を2進数1に強制するよう作用する。その後、前述の方法により、補助記憶装置500-40から取出された要求されたデータ・ワードがプロセッサ200に転送される。然し、信号WRDIR100およびWRCACHE100は生成されないため、第11図に示されるように、

時間 53-84632.34)

回路DTM09に与えられたカシエ・バイパス・ビットが2進数1であるため、信号NOLOAD00は2進数0に強制される。

第8図から、信号NOLOAD00の2進数0の状態はゲート500-62が信号RDLOAD100を2進数1に強制する事を禁止する事が判る。従つて、タイミング・パルスT9の発生の際、書き込み信号WRDIR000は2進数1の状態に維持される。これは、ゲート500-262をして書き込み可能信号ENABDIRWR100を2進数0の状態に維持させる。従つて、タイミング信号WRDIR100は回路500-262に与えられない。従つて、書き込み可能回路500-266は使用可能にならず、このため書き込み操作が生じないようにさせる。

同様に、カシエ書き込み可能回路500-214は、2進数0にセットされる信号RDLOAD100により禁止される。即ち、信号RDLOAD000は、信号RDLOAD100が2進数0である時2進数1である。この状態は、更に、ゲート500-210

情報は一切カシエ500-20に取込まれない。

プロセッサ200がSIU100からLPWアドレス情報を得る時、ビット9は通常2進数1にセットされる。プロセッサ200はDCWがカシエ500-20にロードされる事を欲しないため、ビット9は変更されずに保たれる。このように、次の命令の発行中、プロセッサ200は、LPWをきみかつ再びバイパスされたビット9を2進数1にセットさせるZACメモリー指令を生じよう作用する。前述の方法により、命令メモリー・モジュール500は補助記憶装置500-40から取出される情報をカシエ500-20に書き込まれないようにされる。プロセッサ200が要求されているデータ・ワードと同じブロックに与えられる別のデータ・ワードへのアクセスを要求するような場合には、このプロセッサは生成する各ZACメモリー指令内のカシエ・バイパス・ビットを2進数0にセットさせるよう作用する。

前述の事から、本発明の構成は、補助記憶装置500-40から取出されるどの情報がカシエ

500-70に送達されるべきかと言う指令事象に基いてプロセッサ200-0を制御させる事が出来る。更に、又は他の場合は、どの情報もチャンネル500-70に送達されるべきかと言う指令事象に基いてマルチプレクサ300を制御させる。即ち、データ伝送途端動作の実行中、マルチプレクサ300は前述の如くSICU00に対して与えるZAC指令を生成する事を要求される。

亦即ち、オペレーティング・システムがマルチプレクサ300のチャンネルの1つ(例、CA0)を有効状態にし動作を実行する事を要求し、その要求は情報についてある動作を行うものと仮定しよう。

チャンネル動作を開始するため、プロセッサ200はチャンネル(即ち、CA0)のLPWレジスタのローディングを指示するPI指令を主たる命令を実行する。第4図に於いては、指令ワードはPCレジスタ301-2にロードされ、PDレジスタ301-5のデータ・ワード内容をスイッチ301-6と301-42のPD位置およびCWスイッ

チ301-44のHSN 1番を介して、PCレジスタ301-2に於いて記憶された情報に基いて選択されるチャンネルのLPWレジスタに送達する情報を生成するようブロック301-4の制御回路を動作させる。

この時LPWレジスタはDCWのリストを指示するアドレスを含んでいる。このチャンネルのLPWレジスタのローディングに於いて、プロセッサ200は別の命令を実行し、この命令はPDレジスタ301-5に記憶されたデータ・ワードが選択されている事を表示するロード状態動作を指示するPI指令を生成する。

PCレジスタ301-2に記憶された指令ワードはブロック301-4の制御回路を動作させて、PCレジスタ301-2からスイッチ301-6のPDスイッチのPC位置およびWDスイッチ301-2-4のDTA位置を介して1グループのチャンネル制御フリップフロップ(図示せず)に情報を伝送する情報を生成する。これ等のフリップフロップ(AUTOフリップフロップ)の1つは、セ

ットされるとチャンネルに対してデータの伝送開始を指示する。

このAUTOフリップフロップは、このチャンネルの2つの要求品線の双方に対するサービス要求信号と共に、優先順位選択制御回路301-48に於ける4つの入力の一つとして第1のリスト信号を与える。回路301-48は、このチャンネルに対する4つの入力をしてどのレジスタが選択されるべきかを決定させる。この要求サービスの優先順位を有するチャンネルを選択する。この優先順位回路301-48は、回路301-4に与えられる2ビットのコード(CA0=00)に於いてサービス要求を符号化する。要求の順序を記述するプロセスにはこの一切の動作がない(即ち、データはメモリー・モジュール500から伝送されない)ものとすれば、回路301-4は回路301-48に選択信号を与える。回路301-48は2進数の1の信号をチャンネルCA0のサービスANS信号に与えるよう作用する。この信号は、データ伝送のためのチャンネル

CA0を指定させる。

回路301-48を介してチャンネルCA0から伝送されるリスト信号は、回路301-4を介してCSスイッチ301-50のLPW位置を選択させる。2ビットのチャンネル・コードに於けるこの信号とリスト信号は、レジスタ301-65の最初の3つのビット位置にロードされる。レジスタ301-65の2つの上位ビット位置はデータを要求するチャンネルを識別する。第4図から明らかなように、レジスタ301-65の内容はMITS回路に与えられる。301-48からのチャンネル選択回路からの信号は、チャンネルCA0に於けるLPWレジスタの選択を要約する。

LPWレジスタに於けるアドレスは、回路301-48により与えられる信号に基いて選択されたDTスイッチ301-70のCSW スイッチを介して回路301-4からの信号に基いて選択されたバンク301-64のZACレジスタにロードされる。更に、回路301-48は、ZACレジスタの最初のバイト位置にロードされるZACスイ

スイッチ301-61のノーン/指令スイッチ信号を介して信号を受ける。この場合、図9図に示すようなZAC指令ワードの形式化が与えられる。4つのチャンネル入力のあるもの（例えば、音源又は制御コード、発生又は書込み指令、制御又は2倍増音およびリスト）から与えられた信号は、ZAC指令ワードの指令成分の代表を規定する。マルチプレクサ300はZAC指令のみを生じるため、ZACレジスタのビットは言うに及ばない。又、これはリスト・アドレスであるため、指令成分のエントリは発生し2倍増増指令を規定するよう符号化される。カンシエ500-20に記憶されるLPWアドレスを用いて読取メモリー・モジュール500からDCW情報を取出させる事は必要でないため、LPWアドレスのビット9は通常2進数1にセットされる。このように、ZACレジスタに記憶されるZAC指令のカンシエ・バイパス・ビット9は2進数1にセットされる。

ZACレジスタのロードタイミングは、LPWアドレスは、2だけ（2ワード即ち8バイト）増分され、

若してそれぞれインターフェース603のPITM回路と、DTM回路と、SLTM回路に与えられる。

読取メモリー・モジュール500は、データ取出しと共に時間情報としてSIU100に與えリクエスト識別信号を発生する。読取メモリー・モジュール500は、ZIR回路を2進数2に切換える事により定着する。この状態は、SIU100をしてリクエスト回路を截止させる。読取メモリー・モジュール500は、インターフェース603のそれぞれRIFM回路およびDPFM回路上にマルチプレクサ300から生じるリクエスト識別および2倍増増信号をおく事によって、RDTR回路を2進数1に強制する事によりSIU100に対するデータの伝送を開始する。

SIU100は、図11図に示すように、RDAA回路を2進数1に強制する事によりRDTR回路の故障に定着する。これは、読取メモリー・モジュール500に対して、リクエスト・モジュール500に対する機能が強制しかつデータ伝送と共に実行する事を指示する。RDAA回路に対する信

神岡 53-84632(36)

新らしいパリティが生成され、かつその結果がCWスイッチ301-44の更新回路を介してチャンネルLPWレジスタに與えられる。図10図に301-52と301-54の形式が与えられる。更に、LPWレジスタ4に与えられる時間情報は、時間スイッチ301-59のCSW位置を介して検測レジスタ301-60にロードされる。ZACレジスタのロードタイミングはAOPRフリップフロップ301-69を2進数1に切換えさせる。

マルチプレクサ300は、図10図のSIU回路102-20が2進数1に強制される点検ARAによりAOPR回路によって信号された要求を受入れる迄待機する。SIU100はマルチプレクサ300からの要求を受入れた時、AZC回路を2進数1に強制して、これがモジュール500をデータ取出し/書込み動作サイクルを開始するように指示する。図11に図に示したように、AZC回路のセクタイニングと同様に、リクエスト識別信号と、ZAC指令信号とマルチプレクサ300から生じる2倍増増信号は、図10図102-20からの信号に定

格も又、RDAA回路上の信号の受取りに続いてクロック・パルスの後端部に於けるインターフェース603上に第2のデータ・ワードを記憶モジュール500に与える。動作完了の時点でこのモジュール500は別の指令を索取する甲斐ができると直ちに、ZIR回路を2進数1に切換える。

RDAA回路の強制の時点で、SIU100は、要求側のマルチプレクサ・モジュール500に対して、データ・ワードがARDA回路を2進数1に強制する事によりそのDFS回路に与えられている事を通知する。SIU100は又MIFSに対してリクエスト識別信号を与えて、その時間レジスタ301-68に於ける信号の対準を生じる。図10図301-48に与えられたレジスタ301-68の強制内容は与えられ、CA0選択回路を介してチャンネルCA0を使用可能とするのに加えて、通常のチャンネル・レジスタの選択を要する。最初のデータ・ワードは、ドライバ回路301-5を介してHレジスタ301-60にロードされる。その内容はこれからスイッチ301-42の

Hレジスタ位置およびCWスイッチ301-44のHレジスタ位置を介してチャネルCA0のDTレジスタにロードされる。最初のワードに続いてクロック・パルスに与えられる第2のデータ・ワードはレジスタ301-42にロードされ、その後チャネルCA0のDAレジスタ301-40に転送される。

前述の如く、回路301-48からの信号は、選択されるチャネル・レジスタ(即ち、CA0)の列を選択する。又、マルチプレクサ300がチャネルCA0のリスト・バスに結合する時、回路301-48は、リスト・フリップフロップ(図示せず)を2進数2にCA0チャネルの回路をリセットさせる信号を生成する。同時に、回路301-47は、更に別の制御フリップフロップと与えられるで示したチャネル「使用」フリップフロップを2進数1の状態で強制する。これは、更に、コントローラ・アダプタ303のCA1のチャネル使用回線に2進数1の信号を与え、このアダプタに対しこのチャネルが転送のための

の準備ができている事を指示する。

前述の如く、DTおよびDAレジスタにロードされるDCWの7つのデータ・ワードのフォーマットは第1図に示される如くである。アドレス200はマルチプレクサ300の転送に続いてマルチプレクサにより要求されるデータのアクセスを要求するため、オペレーティング・システムはDCWのDAワードのビット45を2進数2にセットさせるよう作用する。この状態で、マルチプレクサ300にカッソエのバイパス・ビット9を2進数2にセットさせるZACメモリー・指令を生成させる。

この操作中、回路301-4は、バス7301-64のZACレジスタおよび同期レジスタ301-60の最後の3位置をロードするための信号ソースとして、Cスイッチ301-50のDA位置を選択させる。従つて、ZACレジスタのビット位置9は2進数2にセットされる。このローディング操作は、ZACスイッチ301-61と、DTスイッチ301-20と同期スイッチ301-59の

ゾーン/指令スイッチ位置を介して進行する。又、レジスタ301-65の最初の2つのビット位置はリクエストとしてチャネルCA0を選択する事でロードされる。

この時、AOPR回線は2進数1に強制される。更に同期回路において、チャネル選択に続く第2のクロック・パルスの間、アドレス(DA)は加重回路301-52により2だけ増分されて、CWスイッチ301-44の更新位置を介してDAレジスタに與えられる。次に、Cスイッチ301-50のDTレジスタ位置が選択され、データ・リークは2だけ増分される加重回路301-52に与えられ、スイッチ301-44を介してDTレジスタに與えられる。

前述の場合に類似する信号・ソースが、第7図のフォーマットを有するZAC指令(即ち、AOPR回線はZACレジスタがロードされる時2進数1に強制される)のSIC100による転送のための準備される。

ZAC指令に結合する局用メモリー・モジュール

500は、補助記憶装置500-40から要求されるデータ・ワードを取出すと同時に、情報ブロックを前述の方式によりカッソエ500-20に記憶するように作用する。このため、情報はプロセッサ200に於て容易に使用可能となる。

前述の事から、いかにして異なる指令・モジュールが補助記憶装置500-40から取出されるかの情報がこれに関連して迅速なアクセスを可能にするためのカッソエ500-20にロードされるべきかに関する指令・基準に於いて制御が可能となるかが判る。各指令にその状態がカッソエ500-20がロードされるかどうかを決定する制御の単位のビットを与える事により、指令の処理およびこのようなビットの変更を含む他の操作の實行を容易にする。

本発明の望ましい実施例については多くの変更が可能であり、例えば、指令が書式化され昇格化される方式、およびある制御およびタイミング信号が生成される方式についての多くの変更が可能である事は明らかであろう。単純化するため、多

この場合に本機の種類の一つのソースのみを示した。然し、同じ信号がタイミング上の制約を少なくするその他のソースにより独立的に生成できる事は知られてゐる。

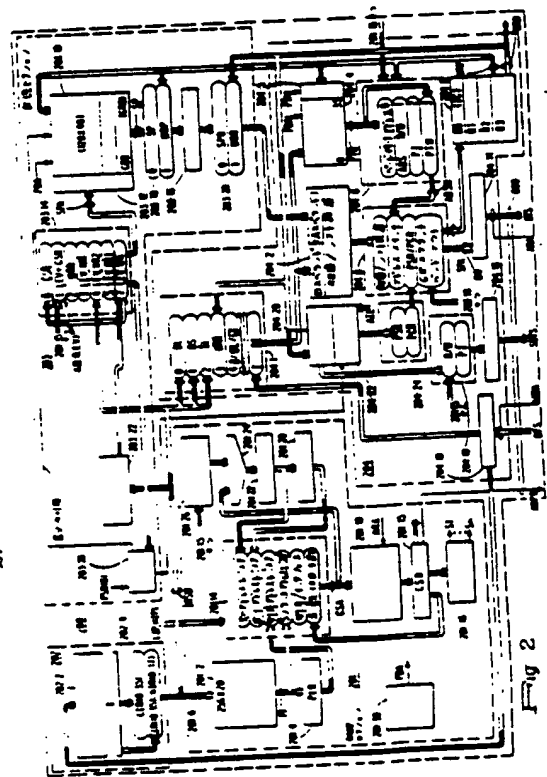
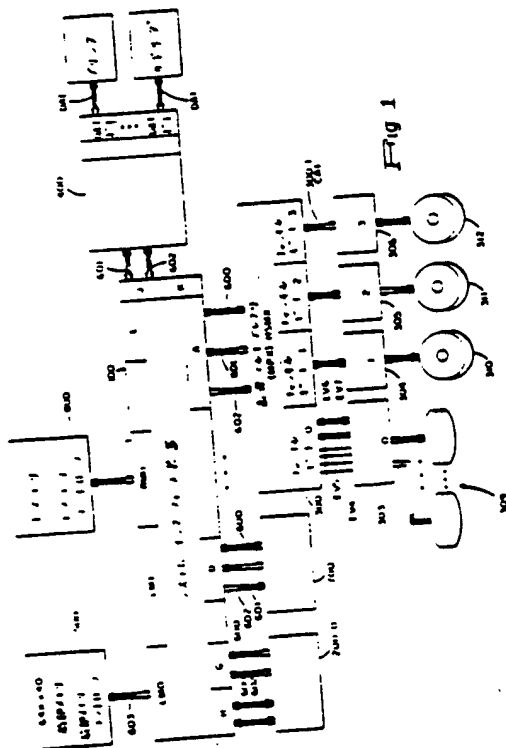
三つの示す点に於て本機種の最も優れた特徴について本文に明示し記述したが、本機の個々に於ける特殊要求の範囲に示すべく本機種の三番から選択する。要なく本文に記述したシステムについての変更が許容であり、ある場合には本機種の他の特徴のみが他の場合に於ては専らに適用する事も可能である。

4. (記述の標準化説明)

第1又は本機種の取組を適用した入出力システムブロック図、第2図は第1図の入出力処理部を更に詳細に示す図、第3図及び第3b図は第1図のシステム・インターフェース部を詳細に示す図、第4図及び第4a図は第1図のマルチプレクサ部を詳細に示す図、第5図及び第5a図は第1図の各インターフェースを示す図、第6図は第1図の局内メモリ・モジュール

のブロック図、第7図は第6図のメモリ・モジュールを詳細に示す図、第8図は第7図のメモリ・モジュールを更に詳細に示す図、第9図は本機種によるZACメモリ指令のフォーマットを示す図、第10図及び第10b図は本機種によるリスト・ポインター・ワード及びデータ・ワードのフォーマットを示す図、第11図は本機種の作組を説明するためのタイミング・チャートである。

100…システム・インターフェース部(SIU)、102…データ処理セクション、200…入出力プロセッサ、201…記憶セクション、202…命令パツファ・セクション、203…記憶セクション、204…処理セクション、300…高速度マルチプレクサ(HSMX)、400…低速度マルチプレクサ(LSMX)、600…インターフェース、700…上位プロセッサ、800…主メモリ・モジュール。



— 36 —

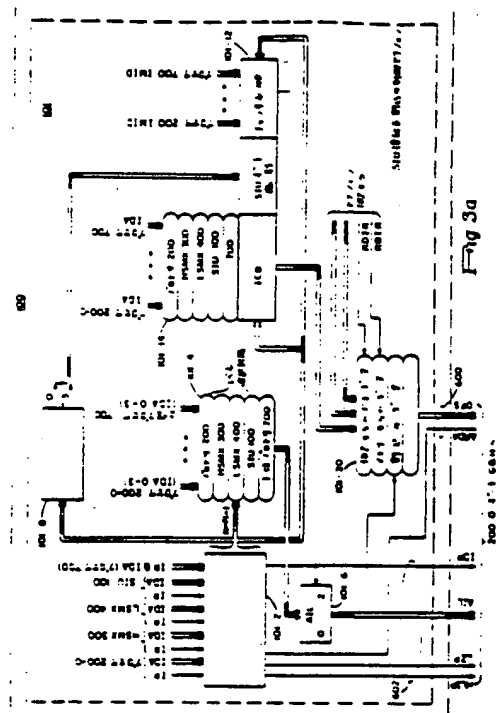


Fig 3a

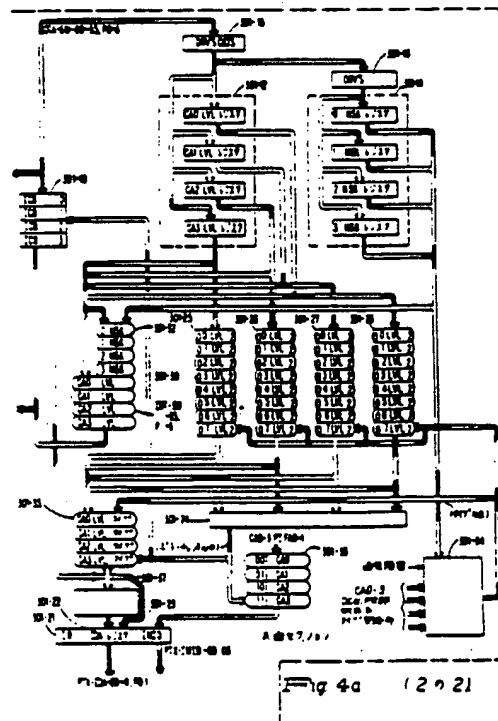


Fig 4a (202)

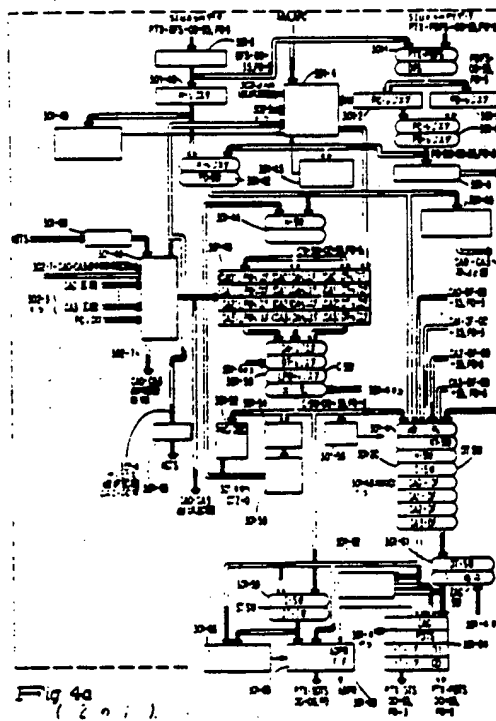
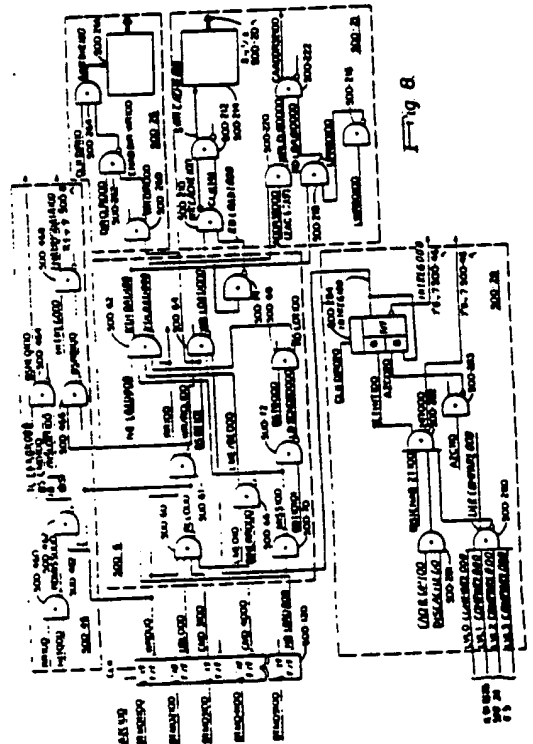
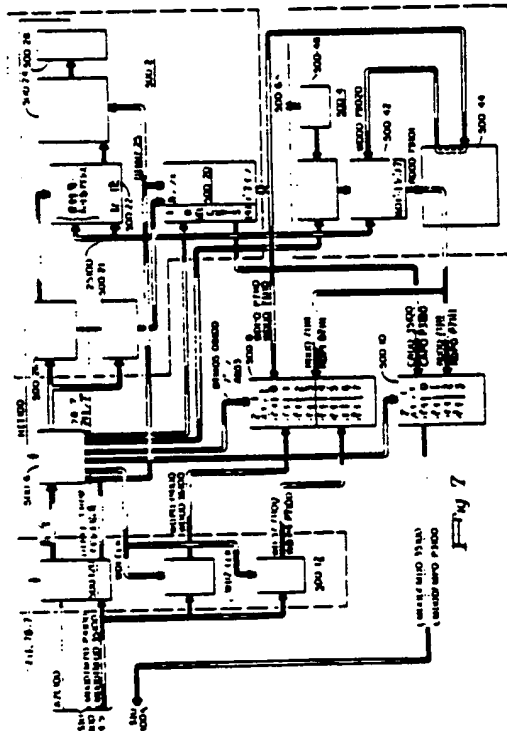
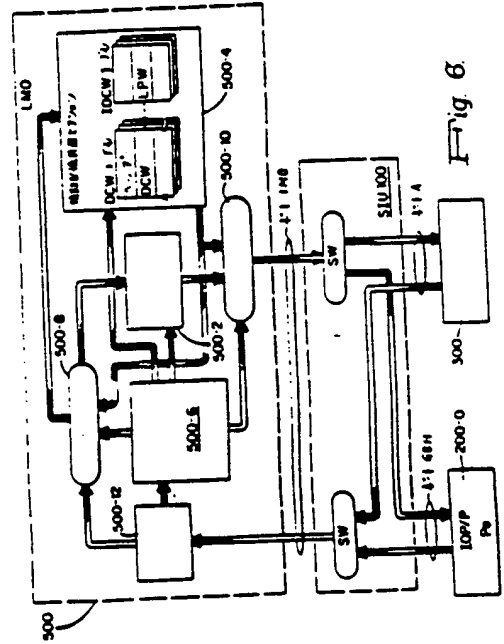
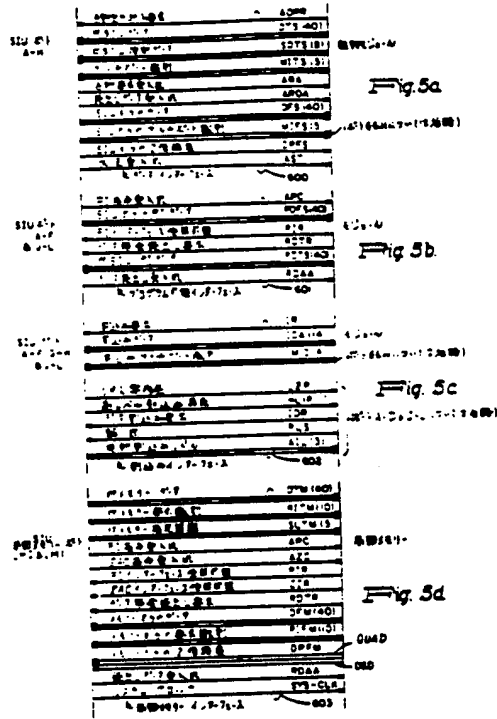
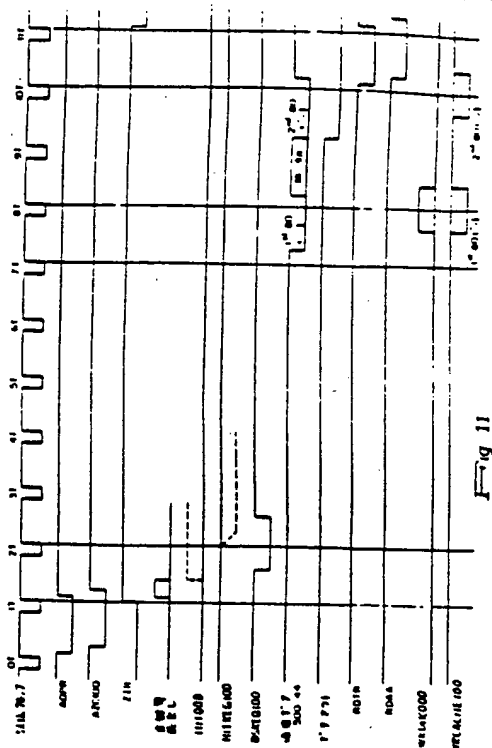
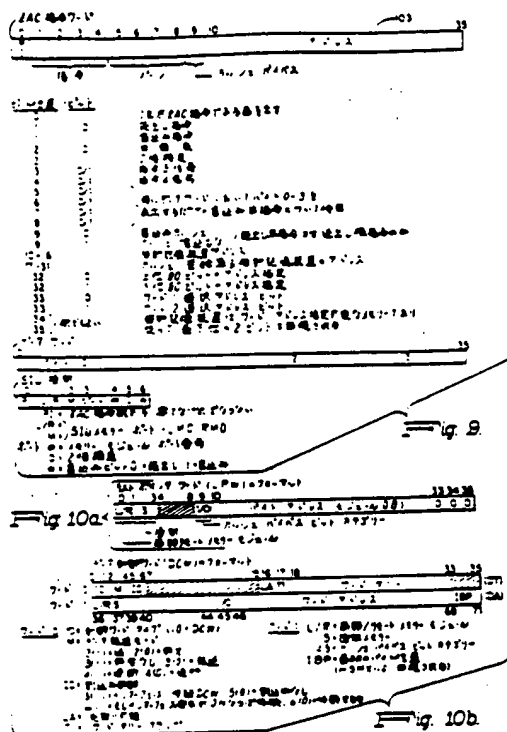


Fig 4a
(2 0 1)





③日本国特許庁

④特許出願公開

公開特許公報

昭52-106641

①Int. Cl.
G 11 B 5 09

識別記号

②日本分類
97(7) C 2
102 E 33

庁内整理番号
7056-56
7345-55

④公開 昭和52年(1977)9月7日

発明の数 1
審査請求 未請求

(全 7 頁)

③高速順次アクセス用データ・レコード格納方
法

②発明者 高井兵庫

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

①特 願 昭51-23207

②出 願 昭51(1976)3月5日

③発明者 加藤勝康

日立市大みか町5丁目2番1号
株式会社日立製作所大みか工場
内

①出 願 人 株式会社日立製作所

東京都千代田区丸の内一丁目5
番1号

③代理人 弁理士 高橋明夫

明 細 書

発明の名称 高速順次アクセス用データ・レ
コード格納方法

特許請求の範囲

1. ランダム・アクセス可能な記録ブロックを有する記録媒体に順序関係のあるデータ・レコードを格納する方法において、各ブロックを複数の区画に分割し各ブロック内に所定数の空き区画を設けようとして各区画毎に1つのデータ・レコードを格納し、格納されたデータ・レコードをそれ自身の内部に設けられた連絡子により順序関係に従って連絡し該連絡の先頭レコード位置及び末尾レコード位置を夫々記憶手段に保持し、前記記憶媒体中の未使用領域の先頭位置を記憶手段に保持し、使用領域中の空き区画をデータ・レコード内部に設けられた連絡子により連絡し該連絡の先頭位置を記憶手段に保持し、前記記憶媒体中に新規に加えられるべきデータ・レコードを格納すべき空き区画を前記未使用領域先頭位置、順序関係で直前のデータ・レコード

と同一ブロック内の空き区画、又は前記空き区画連絡先頭位置から選択することを特徴とする高速順次アクセス用データ・レコード格納方法。

2. 最初のデータ・レコードと後に格納されているデータ・レコードの中で順序関係に関して末尾のレコードの後に追加されるべきデータ・レコードに対しては、前記未使用領域先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項記載のデータ・レコード格納方法。

3. 既に格納されている第1データ・レコードとそれに接続する第2データ・レコードの間に新規に挿入されるべきデータ・レコードに対しては、前記第1データ・レコードと同じブロック内に空き区画があれば該空き区画を選択しなければ前記空き区画連絡先頭位置の空き区画を選択することを特徴とする特許請求の範囲第1項又は第2項記載のデータ・レコード格納方法。

4. 位置のブロック内のデータ・レコード格納法が予じの決められた順序で前記順序関係ブロック

の残りの区画に空き区画を作成することを特徴とする特許請求の範囲第1項、第2項又は第3項記載のデータ・レコード格納方法。

発明の詳細な説明

本発明は、コンピュータによるデータ処理技術に係り、比較的低速であり、ランダム・アクセスが可能な記憶媒体上に、順序関係のあるデータ・レコードをの基よく格納するデータ・レコード格納方法に関する。

従来、順序関係のあるデータを格納する方式として、最もよく知られたものは、順序関係に従って、記憶媒体上に配置するものであり、ランダム・アクセス可能な記憶媒体だけでなく、シリアル・アクセスのみ可能な記憶媒体においても実現することができる。この方式によれば、格納されたデータ・レコードを逐つて高速に逐次アクセスすることが可能であるが、一旦格納されたデータ・レコードの間に、新たにデータ・レコードを挿入したい場合、これに、予め用意された別の領域へ格納され、逐次子によって逐次されるため、挿入、

削除がひんぱんにくり返されると、逐次アクセスの性能が極めて劣化することが知られている。

また、ランダム・アクセスが不可能な記憶媒体においては、データ・レコードの挿入、削除、変更は不可能である。

従つて、この方式に一旦、データ・レコードを格納した後にデータ・レコードの挿入が全くないか、あるいは極めて少ない場合にのみ適用しているといえる。一方、順序関係があるばかりでなく、挿入、削除がしばしば発生する場合には、適切な格納方式としては、データ・レコードをランダムに選ばれた任意の空きレコードへ格納し、データ・レコード自身の中に作成された逐次子により、データ・レコード間の順序関係を表わす。いわゆるリスト方式がある。この場合、逐次子は、一般に当該レコードの直前、直後のレコードの位置を記憶している。

この方式によれば、挿入されるデータ・レコードも、特別な手続きによらずに格納することができるが、後述するように、挿入、削除がくり返さ

れるに従い、順序関係において適合するレコードが記憶媒体の領域上では、消滅しあわなくなるため、逐次アクセスに関して、必要以上に入出力回数（ドラム・ディスク等の）回転待ち時間、ヘッドの移動待ち時間が発生することとなる。

また、データ・レコードを格納しうる空きレコードの位置を容易に検索するために、領域内の空きレコードも、データ・レコードと同じように逐次子によりリスト化しておくことが適宜行なわれるが、この方式では、データ・レコードの格納に先立ち、すべての空きレコードをリスト化するという無駄な作業が発生する。

本発明の目的は、かかる従来の欠点を排除し、順序関係があり、かつ挿入、削除等の多いデータ・レコードを格納するための改良された方式を提供することである。

本発明は、以下のような記憶媒体の物理的特性を利用した、データ・レコード格納方法により、高速な逐次アクセスを可能にしようとするものである。

まず第1に、第1図に示されるように、ここで想定している比較的低速な記憶媒体1においては、その領域は、複数のブロック2よりなり、転送はブロック単位に入出力緩衝域4を経由して行なわれる。前記ブロック2はさらに、複数の区画3に分割され、各区画3に1つのレコードが対応づけられる。各区画3は進方向逐次子5、逆方向逐次子6、及びデータ部7を有する。また、あるブロック2がバッファ上に読み出されている時は、入出力を待たずに、直前バッファ上のデータを参照することができる。

従つて、順序関係において適りあるレコードが同一ブロックにある確率が高ければ、逐次アクセスの時の入出力回数は削減されることになる。

次に、第2図に示されるように、磁気ディスクのような、複数のシリンドラ32及びトラック33からなり各トラックには複数のレコード35を夫々有する複数のブロック34が設けられている記憶媒体31においては、ヘッドを特定のシリンドラに位置づけるための、ヘッドの移動待ち時間（シ

ーク時間)と、ヘッドを特定のトラックへ位置づけるための回転待ち時間を重視する必要がある。

そこで、これらの物理的尋ねられがみ、本発明においては、

- (1) 予め、領域内に、適当な空きレコードを分散させて確保しておくことにより、挿入レコードを、できるだけ前後のレコードの近くに配置させ、またアクセスの時の入出力回数及びシーク時間を減少させること。
- (2) 挿入レコードをその前又は後のレコードと同じブロックに格納できない場合は、記憶媒体の回転角度を考慮した位置へ格納することにより、回転待ち時間を減少させることを考慮した。

以下第3～第8図により実施例にそつて本発明の原理を説明する。

第3図は、初期に各データ・レコード41を順次よく格納した状態であり、各データ・レコード41は、データ・レコード連鎖子43により結合されており、かつ、その先頭位置(FRP)及び末尾位置(LRP)は、任意の記憶手段により保

レコードFAPへ格納すればよい。第6図はこのように最適化を行なった場合のデータ・レコードの格納状況の他の例を示す。データ・レコードの追加、挿入、削除におけるFAP、FUP、FRP、LRP、レコード連鎖子の変更方法は、第7図により明らかであろう。第7図では、其中の段に示す格納状態より出発して、上段の例の如くデータ・レコードpとqの間にデータ・レコードrを挿入すると共にデータ・レコードjを削除する場合、並びに下段の例のようにデータ・レコードgとjの間にhを挿入し且つgの後へiを追加する場合を示している。

次に磁気ディスク、磁気ドラムの如き、回転型記憶媒体においては、第8図に示したように、前記の各ブロック42内の空き区画47の他に、指定された区画m=nにより、mブロック毎に全部空き区画47よりなるブロック48をn個確保することが効果的である。この場合、レコードの挿入に際しては、挿入前後のレコードと同じブロック内の空き区画47をまず探し、これが得られな

ければ、次に未使用領域46の先頭位置FUPも任意の記憶手段により保持される。第4図は、データ・レコードの挿入、削除がくり返されるための状態であり、途中にできた空き区画47は、互いに、空き区画連鎖子45により結合され、さらにその先頭位置(FAP)は、任意の記憶手段により保持される。

第4図は、最適化を行なった場合の例であり、連鎖子ブロック42間に空き区画がつかないため、全レコードをアクセスするためには7回のブロック入力が必要となる。

そこで本発明に従い、第5図のごとく、予め、一定比率で各ブロック42毎に空きレコード47を確保しておき、追加レコードは、未使用領域46の先頭位置FUPへ、挿入レコードは前レコードと同一ブロックへできるだけ入るようにすることにより、挿入、追加、削除がくりかえされても、前後のレコード41が同一ブロック42にある確率を高くすることができる。この場合、同一ブロック内に空き区画47があれば、先頭空き

い場合、当該ブロック42をアクセスしてから、次に別のブロック42をアクセスするまでに必要な復元時間に記憶媒体が回転する角度に対応するブロック数以上はなれた空き区画ブロック48から、空き区画47を選択することにより、挿入レコードが前後のレコードと同じシリンダーに格納される確率が高くなるだけでなく、回転待ち時間が一回転時間だけ短縮できる。

次に第9図により、本発明の一実施例における構成について説明する。

先づデータ・レコード格納ステップ12は記憶媒体10の各ブロック内の各区画毎に1つのデータ・レコードを所定の空き区画を保持した状態で、バッファ11を介して格納する。データ・レコード連続格納ステップ16は格納されたデータ・レコードをそれ自身の内部に設けられた連鎖子により順序関係に従つて連鎖し、該連鎖の先頭レコード位置、(FRP)及び末尾レコード位置(LRP)を夫々記憶手段18、19に保持する。未使用領域先頭位置維持ステップ17は記憶媒体

10番の未使用領域の先端位置(FUP)を記憶手段21に保持する。又、空き区画連絡ステップ15は使用領域中の空き区画をデータ・レコード内部に設けられた連絡子により連絡し該連絡の先端位置(FAP)を記憶手段20に保持する。空き区画選択ステップ13は、記憶媒体10中に新規に設けられるデータ・レコードを格納すべき空き区画を選択する。即ち最初のデータ・レコードと次に格納されているデータ・レコードの中で最手前位置に於いて末尾のレコードの直後迄加えられるべきデータ・レコードに対しては、記憶手段21に保持されているFUP位置にある空き区画を選択し、一方、次に格納されているデータ・レコードとそれと連続するデータ・レコードとの間に挿入されるべきデータ・レコードに対しては、データ・レコードと同じブロック内の空き区画を選択し、もし該ブロック内に空き区画がない場合にはFAP位置の空き区画を選択する。又、空き区画作成ステップ14は任意ブロック内のデータ・レコード格納位置が記憶手段22に保持されて

先端位置(FAP)の連絡があるか否かを判断し、あれば115でFAP位置へレコードを追加し、117でFAPを更新した上で119へ進む。113でFAP連絡がなければオーバーフローとして処理する。

次にデータ・レコード格納の場合の処理のフローを第11図を参照して説明する。先づ201で直前のレコードのブロックに空き区画があるか否かを判断し、あれば203でその空き区画へレコードを挿入し、205でレコード連絡を変更し、207で空き区画連絡子を変更する。201で直前のレコードのブロックに空き区画がない場合は、209でFAPの連絡があるか否かを判断し、あれば211でFAP位置へレコードを挿入し、213でレコード連絡を変更し、215でFAPを変更する。又209でFAP連絡がない場合に於いて217でレコード終端がFUPより小さくなるか否かを判断し、小さくなければ、219でFUP位置へレコードを挿入し、221でレコード連絡を変更し、223でFUPを変更する。

ある予定の決められた値を与えた時、当該ブロックの残りの区画に空き区画を作成する。そして記憶手段23に保持されている予定の決められた値に於いて空き区画よりなるブロックを一定数のブロック分まで確保する処理を行なう。

次に第10図のフロー図を参照してデータ・レコード追加の場合の処理の流れを説明する。先づ101でレコード終端が未使用領域先端位置(FUP)より大きいか否かが判断され、FUPの方が小さければ、103でFUP位置へレコードが追加される。そして105でロード・アクタに達したことが判断されると107でブロック内の残りのレコードを空き区画先端位置(FAP)からの連絡に入れ、109でFUPを次ブロック先端レコードへ移動し、119で追加レコードをレコード連絡につなぎ121でデータ・レコード末尾位置(LNP)を変更する。又105でロード・アクタに達しない場合、111でFUPに1を加え119で進む。一方101でFUPの方が小さくなければ、113で空き区画

217でFUPの方が小さければオーバーフローとして処理する。

図面の簡単な説明

第1図は、記憶媒体の記憶構造を示す図、第2図は、シリンダ・トラック形式の記憶媒体の記憶構造を示す図、第3図、第4図は、空きブロックの確保、空き区画選択に関し、最適化を行なわなかった場合のデータ・レコード格納状況を示す図、第5図、第6図は、本発明に従い最適化を行なった場合のデータ・レコード格納状況を示す図、第7図は、データ・レコードの追加、挿入、削除に伴なり、格納状況の変化を示す図、第8図は、空き区画ブロックの確保方法を示す図、第9図は、本発明の実施例における構成を示すブロック図、第10図は、データ・レコード追加の際の処理の流れを示すフロー図、第11図は、データ・レコード格納の際の処理の流れを示すフロー図である。

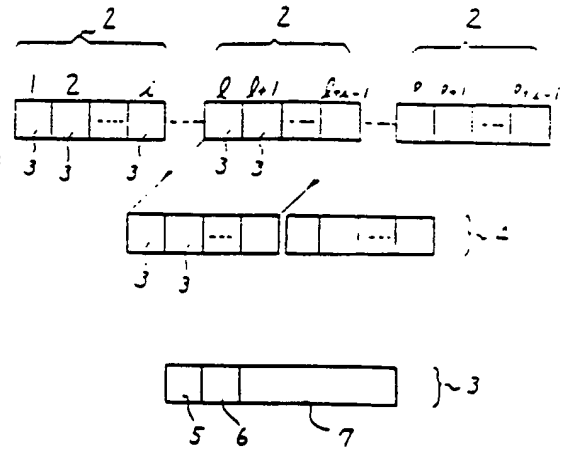
符号の説明

- 10 記憶媒体
- 11 バックアップ

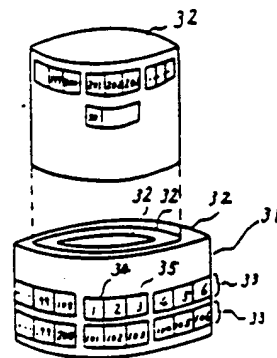
- 1 2 データ・レコード格納ステップ
 1 3 空き区画選択ステップ
 1 4 空き区画作成ステップ
 1 5 空き区画連結維持ステップ
 1 6 データ・レコード連結維持ステップ
 1 7 未使用領域先頭位置維持ステップ

代理人 弁理士 高橋明夫

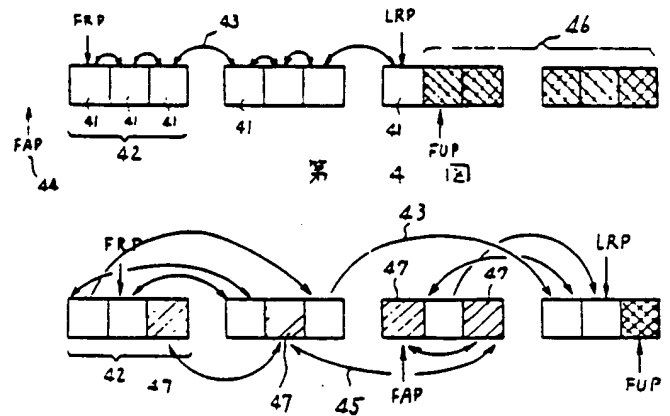
第 1 図



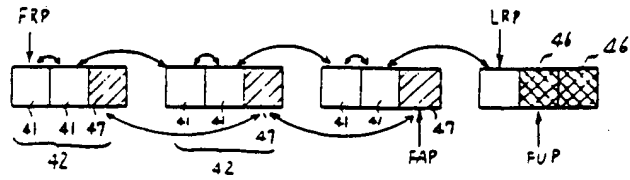
第 2 図



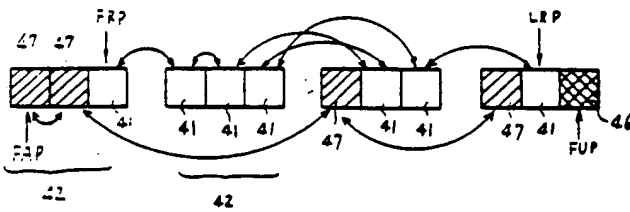
第 3 図



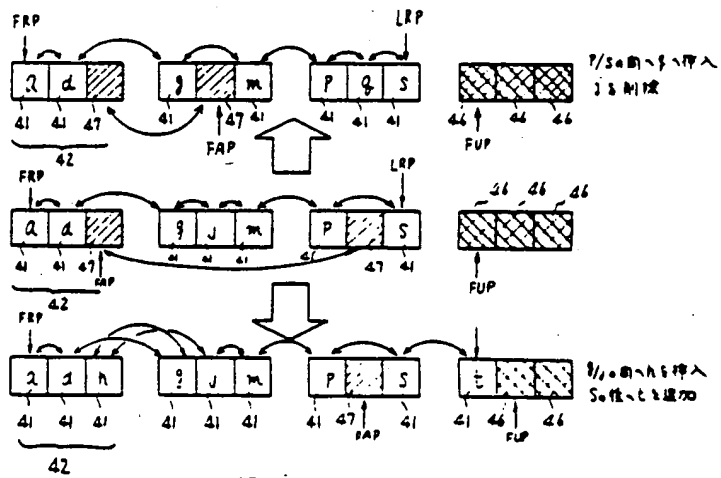
第 5 図



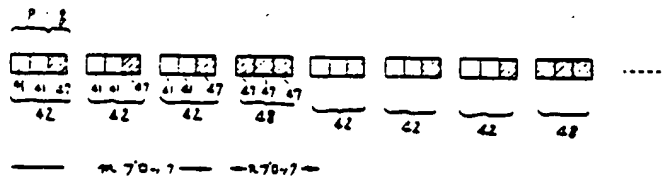
第 6 図



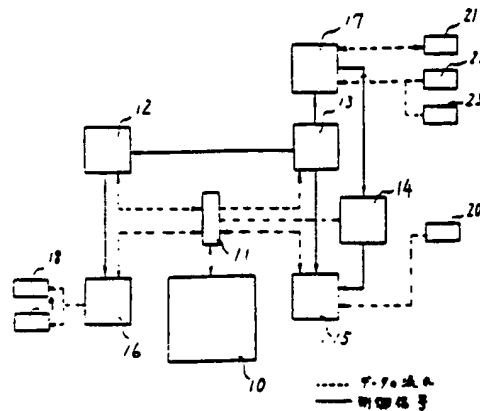
第 7 図



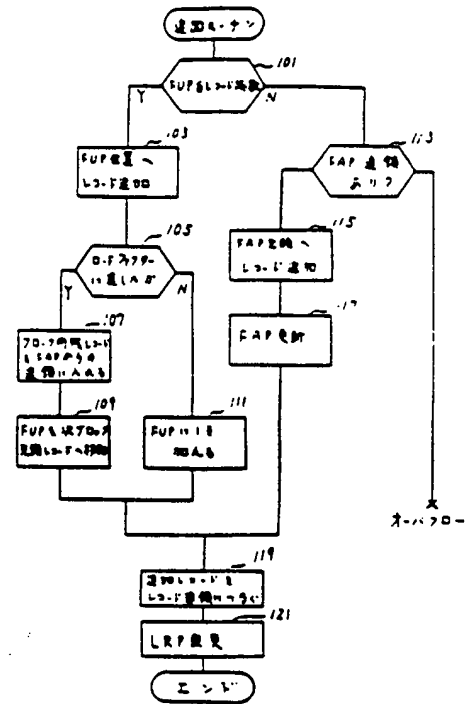
第 8 図



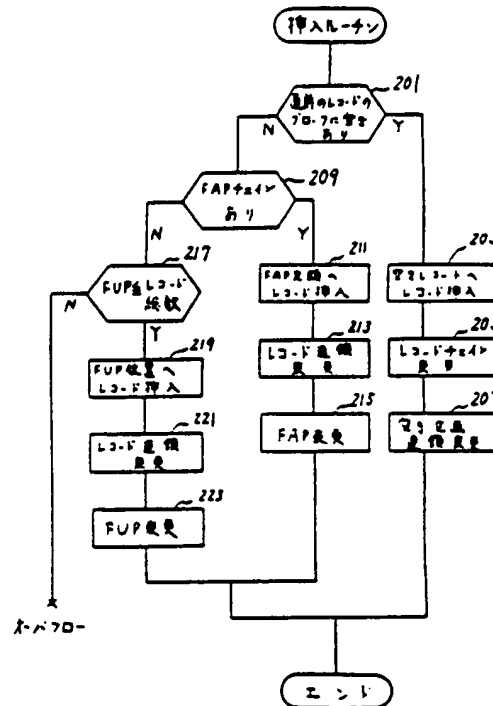
第 9 図



第 10 図



第 11 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)